

Antrag zur Durchführung einer Projektgruppe

1 Thema: *V-Power – Ein Speicher-Hierarchie Profiler mit Virtex-FPGAs und PowerPCs*

2 Zeitraum: Wintersemester 2006/2007 und Sommersemester 2007

3 Umfang: Jeweils 8 Semesterwochenstunden

4 Veranstalter:

Dr. Heiko Falk
Otto-Hahn-Str. 16, Raum E19, Tel. 6124
Heiko.Falk@udo.edu

Dipl.-Inform. Robert Pyka
Otto-Hahn-Str. 16, Raum E24, Tel. 6325
Robert.Pyka@udo.edu

5 PG-Aufgabe:

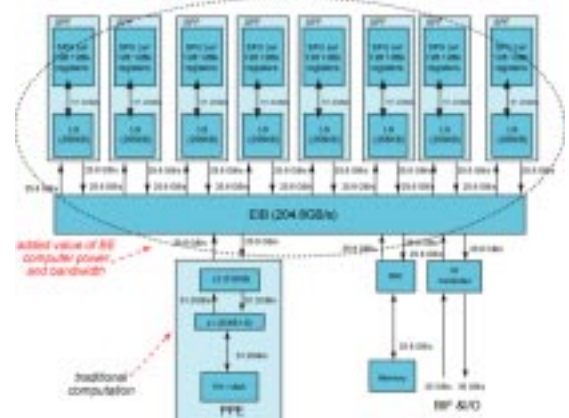
5.1 Motivation:

Moderne Eingebettete Systeme wie z. B. die aktuelle PlayStation 3 enthalten Prozessoren, die bezüglich ihrer Rechenleistung heutige Desktop-Prozessoren in den Schatten stellen. So basiert die PlayStation 3 auf dem von Sony, Toshiba und IBM hergestellten Cell-Prozessor [1]. Der Cell-Prozessor besteht aus insgesamt 9 eigenständigen Prozessoren, die allesamt auf einem Chip integriert sind. Ein POWER-Prozessor übernimmt die Ausführung des Betriebssystems sowie die Steuerung der übrigen 8 Prozessoren. Diese arbeiten parallel und sind aufgrund ihres speziellen SIMD-Befehlssatzes [3] auf Bild- und Signalverarbeitung hin optimiert.



Jeder der neun einzelnen Prozessoren verfügt über dedizierten eigenen Speicher. Die 8 SIMD-Prozessoren können auf jeweils 256 kB lokalen RAM-Speicher zugreifen, während der zentrale POWER-Prozessor eine zweistufige Cache-Hierarchie von jeweils 32 kB und 512 kB aufweist. Der Cell-Prozessor als Ganzes bietet weiterhin eine Schnittstelle zu externem Speicher, der im Fall der PlayStation eine Größe von 512 MB hat.

Gerade im Bereich akkubetriebener portabler Eingebetteter Systeme hat sich gezeigt, daß die Struktur der Speicher-Hierarchie entscheidenden Einfluß auf den Energieverbrauch des gesamten Gerätes hat. Durch Ausnutzung einer geschickten Speicher-Hierarchie ist es möglich, bis zu 80% des Energieverbrauchs einzusparen [4]. In der Konsequenz bedeutet dies, daß sich die Zeit zwischen zwei Lade-Zyklen des Akkus entsprechend verlängert, so daß man mit seinem Gerät wesentlich länger ohne Strom-Anschluß telefonieren, Musik hören, Videos sehen, surfen, ... kann.



Vor diesem Hintergrund stellt sich unmittelbar die Frage, welche Art von Speicher-Hierarchie denn für eine gegebene auf einem Prozessor auszuführende Applikation die am besten geeignete ist. Wie anhand der Beschreibung des Cell-Prozessors zu erkennen ist, sind die enthaltenen POWER- und SIMD-Prozessoren jeweils mit unterschiedlichen Speichertypen ausgestattet. So hat sich zum Beispiel gezeigt, daß sog. Scratchpad-Speicher schon in kleinen Größen von wenigen Kilobytes mit Compiler-Unterstützung zu massiven Energie-Einsparungen im Vergleich zu Caches führen [6]. Da Scratchpads aber gewissen praktischen Einschränkungen in ihrer Nutzung unterliegen, so daß man z. B. nur größere Code-Segmente und Daten ohne zusätzlichen Overhead darauf ablegen kann, können Caches durchaus auch vorteilhaft sein, weil sie Inhalte mit feinstmöglicher Granularität zwischenspeichern.

Jedoch kann eine geschickte Speicher-Hierarchie nur dann zu Einsparungen führen, wenn der ausgeführte Programm-Code auch bezüglich des Speichers optimiert ist. Energiesparen in Eingebetteten Systemen bedarf somit der gemeinsamen Optimierung von Code und Speicher-Hardware. In der Vergangenheit sind am Lehrstuhl Informatik 12 etliche Verfahren zur Energieoptimierung von Programm-Code entstanden [5, 7]. Die Güte dieser Verfahren wurde in der Vergangenheit gemessen, indem für eine gegebene Speicher-Hierarchie zunächst der unoptimierte Code komplett simuliert und sämtliche Speicher-Zugriffe protokolliert (referenzierte Adresse, Lese- / Schreib-Zugriff, Bitbreite, ...) wurden. Anschließend wurde dieses Protokoll schrittweise für die Speicher-Hierarchie analysiert und der Energieverbrauch pro individuellem Zugriff bestimmt. Durch Kumulieren dieser Werte

erhält man abschließend den durch die Speicher verursachten Energieverbrauch der gesamten simulierten Applikation. Dieses Verfahren ist letztlich noch einmal für den optimierten Programm-Code durchzuführen.

Es liegt auf der Hand, daß Software-Simulationen von Prozessor und Speicher-Hierarchien sowie das Summieren von Energiewerten lauffeuchtintensive Verfahren sind. Daher soll die beantragte Projektgruppe diese Modellierung von Speicher-Hierarchien in realer konfigurierbarer Hardware vornehmen.

Die Projektgruppe soll auf am Lehrstuhl Informatik 12 vorhandener professioneller Evaluations-Hardware [8] aufbauen. Diese Evaluation-Boards bieten grundsätzlich alle Voraussetzungen, um die Effizienz von Programm-Code und Speicher-Hierarchien in Hardware zu evaluieren. Zum einen enthalten sie FPGAs der Virtex-II-Serie von Xilinx [9], welche neben einer großen Anzahl konfigurierbarer Hardware in sich zwei PowerPC-Kerne enthalten. Zum anderen bieten diese Boards die Möglichkeit, Standard PC-Speicher-DIMMs aufzunehmen.

Die angestrebte Umsetzung eines Speicher-Profilers in konfigurierbarer Hardware stellt ein anspruchsvolles Thema für eine Projektgruppe dar, welches eine große Nähe zu aktuellen Forschungsthemen im Bereich Eingebetteter Systeme aufweist. Hilfreich zur Durchführung und kompetenten Betreuung der Projektgruppe ist die reichhaltige Erfahrung in Hardware- und Software-Aspekten Eingebetteter Systeme, die bei der Durchführung früherer Projektgruppen und Lehrveranstaltungen am Lehrstuhl gesammelt werden konnte [2].

5.2 Ziel:

Die beantragte Projektgruppe soll auf der Grundlage der vorhandenen Evaluations-Hardware einen Hardware Speicher-Profiler entwickeln. In seiner geplanten Realisierung stellt dieser Speicher-Profiler ein komplettes System-On-Chip dar, das aus Prozessoren, Speichern und I/O-Hardware besteht. Die Besonderheit dieses Systems ist, daß es zwischen dem physikalisch vorhandenen Speicher (z. B. einem DIMM Hauptspeicherriegel) und dem Speicher, wie er dem Prozessor bereitgestellt wird, keine direkte Entsprechung geben muß. Beispielsweise sähe der Prozessor virtuell einen Scratchpad- sowie einen gecacheten Hauptspeicher, während auf der physikalischen Seite die Speicherinhalte in einem DIMM-Modul vorgehalten werden. Entsprechend den Zugriffen auf diese virtuellen Speicher erfährt der Prozessor unterschiedliche Verzögerungen. Ferner soll die Hardware in der Lage sein, Statistiken über die Speicher-Nutzung zu sammeln; z. B. soll die Anzahl der Zugriffe pro Speichertyp, die Anzahl der Cache-Misses oder der Energieverbrauch pro Speichertyp in Hardware mitgezählt werden.

Aus der Arbeit der Projektgruppe heraus soll ein Hardware Speicher-Profiler entstehen, welcher

- den Programm-Code zu messender Applikationen auf den PowerPC-Kernen in realer Hardware ausführt.
- die konfigurierbare Logik der FPGAs nutzt, um eine weitgehend modulare und konfigurierbare Speicher-Hierarchie zu implementieren. Jeder Speicher-Zugriff der PowerPCs wird durch die FPGA-Hardware bearbeitet. Diese soll in der Lage sein, verschiedene Cache-Typen, Scratchpads und RAMs in mehreren Ebenen geschachtelt zu modellieren. Abhängig von der aktuellen Speicher-Hierarchie und einem konkreten Speicher-Zugriff sollen die FPGAs u. a. Cache-Inhalte virtuell innerhalb der FPGAs aktualisieren und Energie- und Zyklen-Zähler für alle modellierten Speicher inkrementieren. Die modellierte Speicher-Hierarchie soll einerseits dahingehend konfigurierbar sein, daß verschiedene Speicher-Typen instantiiert und in mehreren Ebenen angeordnet werden können. Andererseits soll jeder einzelne instantiierte Speicher wiederum konfigurierbar sein (z. B. Größe, Energieverbrauch, Assoziativität, ...).
- das im Evaluations-Board enthaltene DIMM-Modul als physikalischen Container für sämtliche Programm-Codes und Daten des PowerPCs nutzt. Das zu realisierende System hat also die Struktur, daß der Prozessor kein Wissen von dem physikalisch vorhandenen DIMM-Modul hat. Statt dessen "sieht" der Prozessor lediglich das Speicher-Interface, welches vom FPGA modelliert wird. Die konfigurierbare FPGA-Hardware dient als flexible Schicht zwischen Prozessor und tatsächlichem Speicher, die Speicher-Zugriffe in Hardware modelliert, protokolliert und bewertet.

Die Implementierung soll auf Basis von Xilinx FPGA-Evaluationsboards [8] vorgenommen werden. Die Hauptkomponente des Boards ist das Virtex-II-Pro FPGA [9], das neben der konfigurierbaren Logik zwei PowerPC Prozessorkerne enthält. Diese Prozessoren – entsprechend den Minimalanforderungen an die beantragte Projektgruppe mindestens einer – sollen die zentrale Verarbeitungseinheit des Systems werden. Ferner soll das System aus einigen Standard-Hardwarekomponenten bestehen. Diese sollen zum einen die Benutzer-Schnittstelle in Form einer VGA-Konsole und ggf. einem Audioausgang realisieren. Zum anderen sollte die Verbindung zu weiteren Geräten über eine Ethernet-Schnittstelle möglich sein.

Ferner soll auf dieser Hardwareplattform ein Betriebssystem installiert werden. Den Anforderungen entsprechend würde sich hier μ CLinux anbieten [10]. Um die Funktionsfähigkeit des Systems zu demonstrieren, soll im Rahmen der Projektgruppe eine Video-Streaming Anwendung auf dem System implementiert werden. Grob skizziert sollte das System eine IP-TV Set-Top Box sein. Über das Ethernet-Interface soll ein MPEG-komprimierter Video-Stream empfangen und auf dem Bildschirm angezeigt werden können.

Aus dieser Systembeschreibung ergeben sich Teilziele und Aufgaben, die durch die Projektgruppe bearbeitet werden müssen. Zunächst werden die Teilnehmer sich in die Systementwicklungsumgebung von Xilinx einarbeiten müssen. Die Software besteht aus der ISE-Komponente [12], die für das Hardwaredesign genutzt werden kann, und dem EDK [13], das für das Systemdesign und die Softwareentwicklung verwendet werden kann.

Mit Hilfe des EDK-Plattformbuilders soll vorab ein Basissystem aus Standardkomponenten erstellt werden. Hierzu bietet das EDK diverse vorgefertigte IP-Cores. Anschließend soll im nächsten Schritt das Betriebssystem portiert werden. Da hierzu schon zahlreiche Vorarbeiten geleistet worden sind [11], kann diese Aufgabe bei entsprechender Auswahl der Hardwarekomponenten mit begrenztem Aufwand gelöst werden.

Die Einarbeitungsphase soll damit schließen, daß eine eigene Demo-Hardwarekomponente entwickelt und in das System integriert wird. Es kommt hierbei weniger auf eine konkrete Funktionalität an - denkbar wäre beispielsweise eine Druckerschnittstelle – als vielmehr auf die Einarbeitung in die Entwicklung eigener Hardware und der dazugehörigen Treiberunterstützung.

Im weiteren Verlauf der Projektgruppe soll dann mit der Modifikation des Basissystems begonnen werden. Hierzu soll zunächst untersucht werden, wie die Taktversorgung der PowerPCs realisiert ist, und inwieweit es möglich ist, den Takt des Prozessors zu steuern und zu unterbrechen. Abhängig von dem Ergebnis muß die Schaltung zur Messung der Taktzyklen für Speicherzugriffe unterschiedlich entwickelt werden. Im Idealfall kann der Prozessortakt angehalten werden, so daß aus dessen Sicht Zugriffe auf schnelle Speicher tatsächlich einen oder nur wenige Zyklen benötigen werden.

Außer den Modifikationen an der Taktversorgung soll zunächst ein Konzept entwickelt werden, wie der Prozessorbus und das Speicherinterface entkoppelt werden können. Dabei soll eine Hardwarekomponente entstehen, die im Prinzip zur einen Seite das Interface zum Prozessorbus bietet, zur anderen Seite die Ansteuerung des DIMMs implementiert. Dazwischen sollten dann die virtuellen Speicherkomponenten eingebunden werden können. An dieser Stelle müssen weitreichende Designentscheidungen getroffen werden. Beispielsweise ist zu definieren, welche Konfigurationsmöglichkeiten zur Laufzeit angeboten werden, und welche zur Entwurfszeit des Systems festzulegen sind. Ebenfalls an dieser Stelle sollen die Konzepte erarbeitet werden, wie einzelne Speicherarten implementiert werden, und wie eine möglichst große Austauschbarkeit und Laufzeit-Konfigurierbarkeit erreicht werden kann, ohne einen inakzeptabel großen Overhead zu erzeugen. Insbesondere sollen folgende Speicherarten in konfigurierbaren Größen implementiert werden: Caches (mindestens L1 bis L3), SRAMs / Scratchpads, DRAMs, Flash-Speicher.¹

In der Konzeptphase sollte ebenfalls erarbeitet werden, wie am effizientesten die Zugriffs-Statistiken pro Speichertyp in FPGA-Hardware ermittelt und bereitgestellt werden. Hierbei sollten neben einfachen Zugriffs- und Zyklenzählern auch Energiewerte ermittelt werden. Am Lehrstuhl Informatik 12 sind bereits Energiemodelle für gängige Speicherarten entwickelt worden [7], so daß die PG hier auf vorhandenes Wissen zurückgreifen kann.

Ausgehend von der Konzeptphase soll dann die Implementierung vorgenommen werden. Dabei besteht die Hauptaufgabe der PG darin, den Standard Speichercontroller, den die Xilinx-Software erzeugt, zu ersetzen. Parallel zu diesen Änderungen des Systems müssen Anpassungen an dem Betriebssystem vorgenommen sowie ausgiebige Test durchgeführt werden.

Die daran folgende Phase besteht darin, die Video-Streaming Anwendung auf dem System zu implementieren. Die Portierung sollte so vorgenommen werden, daß nicht nur die korrekte Funktionsweise des Dekoders am Bildschirm sichtbar wird, sondern daß zu Demonstrationszwecken die Anwendung so implementiert wird, daß sie Vorteile aus bestimmten Speicherkonfigurationen ziehen kann. Beispielsweise sollte, sofern vorhanden, das Scratchpad genutzt werden.

Die Projektgruppe bietet den Teilnehmern die Möglichkeit,

- den Umgang mit komplexen Entwicklungstools zu erlernen,
- einen kompletten Systemdesignprozess durchzuführen,
- Kenntnisse in der Struktur und im Verhalten komplexer FPGAs zu sammeln,
- den Hardware-Entwurf in VHDL zu erlernen,
- Hardware-gestützter Performance- und Energiemodelle zu entwickeln,
- detaillierte Kenntnisse in der Funktionsweise von μ CLinux zu sammeln,
- die Funktionsweise eines aktuellen Video-Decoders kennenzulernen,
- sich für Diplomarbeiten am Lehrstuhl zu qualifizieren.

¹Wobei es zum Erreichen des PG-Minimalziels genügt, Flash-Speicher lediglich auszulesen.

6 Teilnahmevoraussetzungen:

Folgende Kenntnisse sind für die Teilnahme an der PG notwendig:

- Vorlesung „Rechnerarchitektur“, „Prozessrechnerarchitektur“ oder „Eingebettete Systeme“.
- Vorlesung „Betriebsysteme“ oder „Rechnernetze und Verteilte Systeme I/II“.
- Die im Projekt verwendete Hardware ist in englischer Sprache dokumentiert. Es ist unverzichtbar, daß jedes PG-Mitglied in der Lage ist, sich den Inhalt englischsprachiger Dokumente zu erarbeiten.
- Grundkenntnisse in VHDL.

Weitere wünschenswerte, aber nicht notwendige Voraussetzungen:

- Gute VHDL Kenntnisse.
- Erfahrung im Aufbau von Hardwareschaltungen und im Umgang mit Laborausstattungen (Veranstaltung HAPRA/EPRÄ).
- Kenntnis und Erfahrung in der Softwareentwicklung, bevorzugt C/C++.
- Kenntnisse in hardwarenaher Programmierung, ggf. Assemblerprogrammierung.

7 Minimalziel:

1. Implementierung eines PowerPC-basierten Rechnersystems in FPGA-Hardware mit konfigurierbaren virtuellen Speicherhierarchien. Das System soll mindestens einen der beiden PowerPC-Kerne verwenden und mindestens folgende I/O-Schnittstellen bieten: VGA-Video, PS/2-Keyboad, Ethernet.
2. Zumindest folgende Speicher sind zu implementieren: SRAM, DRAM, Flash (read-only), Caches. Die Parameter der Speicher sollen konfigurierbar sein, wobei nicht alle Parameter zwingend zur Laufzeit konfigurierbar sein müssen. Die Speicher sollen über Schnittstellen verfügen, um Profiling-Daten abzufragen.
3. Das μ CLinux Betriebssystem soll auf der Hardware ausgeführt werden können.
4. Eine Testanwendung zum Video-Stream-Dekodieren ist auf dieses System zu portieren. Die Anwendung soll via Ethernet einen Video-Stream empfangen und das dekodierte Bild über VGA darstellen können.

Literatur

- [1] T. Chen, R. Raghavan, J. Dale, E. Iwata, *Cell Broadband Engine Architecture and its first implementation – A performance view*, 2005. <http://www-128.ibm.com/developerworks/power/library/pa-cellperf/>
- [2] PG 293, *Endbericht der Projektgruppe Fast-Food*, Universität Dortmund, Fachbereich Informatik, 1997.
- [3] P. Marwedel, *Embedded System Design*, Springer, 2. Auflage, 2006.
- [4] P. Marwedel, L. Wehmeyer, M. Verma, S. Steinke, U. Helmig, *Fast, predictable and low energy memory references through architecture-aware compilation*, In Proceedings of ASP-DAC, 2004.
- [5] S. Steinke, *Untersuchung des Energieeinsparungspotenzials in eingebetteten Systemen durch energieoptimierende Compilertechnik*, Dissertation, Universität Dortmund, 2003.
- [6] M. Verma, L. Wehmeyer, P. Marwedel, *Cache Aware Scratchpad Allocation*, In Proceedings of DATE, 2004.
- [7] L. Wehmeyer, *Fast, Efficient and Predictable Memory Accesses – Optimization algorithms for memory architecture aware compilation*, Dissertation, Universität Dortmund, 2005.
- [8] Xilinx Research Labs, *XUP Virtex-II Pro Development System – Hardware Reference Manual*, Document Version UG069, 2004.
- [9] Xilinx Inc., *Virtex-II Pro and Virtex-II Pro X Platform FPGAs: Complete Data Sheet*, Document No. DS083 (v4.5), 2005.
- [10] μ CLinux, Embedded Linux/Microcontroller Project <http://www.uclinux.org/>
- [11] Virtex2Pro & Linux - Project <http://www.klingauf.de/v2p/index.phtml>
- [12] Xilinx ISE Foundation <http://www.xilinx.com/ise>
- [13] Xilinx Platform Studio and the EDK <http://www.xilinx.com/edk>