

Übungsblatt 9

(10 Punkte)

Abgabe bis spätestens Montag, 19. Dezember 2011, 12:00 Uhr

9.1 Flash-A/D-Wandler (4 Punkte)

Zur Wandlung von analogen Signalen in digitale Werte wurde der Flash-A/D-Wandler vorgestellt (Kapitel 3.1).

- Zeichnen Sie einen Wandler mit einer Genauigkeit von 3 Bit und einer Referenzspannung von 5V.
- Geben Sie die Eingangsspannungen an den jeweiligen negativen Eingängen der Vergleicher an. Geben Sie für eine zu digitalisierende Spannung $U_{in} = 3,3V$ den Logikwert an den Ausgängen der Vergleicher an. Welche Digitaldarstellung liegt am Ausgang des Wandlers an?
- Welche Spannung repräsentiert das LSB (*Least Significant Bit*, das „niederwertigste“ Bit)?

9.2 Wandler-Auflösung (3 Punkte)

Betrachten Sie folgenden D/A-Wandler (Kapitel 3.4):

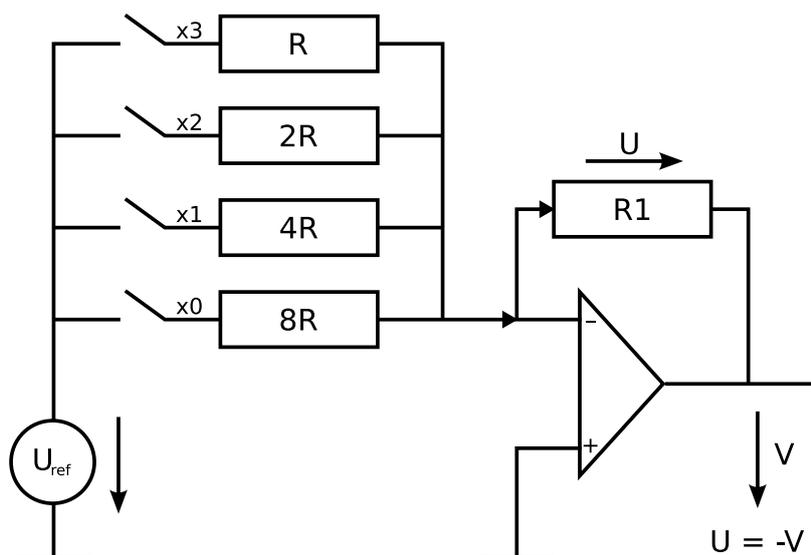


Abbildung 1: D/A-Wandler

Gegeben sei im Folgenden: $U_{ref} = 5V$, $R = 1k\Omega$

- Wie groß ist der Rückkopplungswiderstand $R1$ zu wählen, wenn die Digitalwerte in einen Spannungsbereich von $0V - 10V$ abgebildet werden sollen?

- Die Genauigkeit der D/A-Wandlung mittels Stromsummenwandler ist stark abhängig von der Genauigkeit (Toleranz) der verwendeten Widerstände. Bei zu großen Abweichungen vom Sollwert kann es vorkommen, dass der für einen bestimmten Binärwert b gelieferte Strom geringer ist als der für den nächst geringeren Binärwert $b - 1$ (Monotoniefehler).
 - Bei welchem Binärwert ist die größte Auswirkung eines solchen Monotoniefehlers zu erwarten?
 - Berechnen Sie für diese beiden Werte jeweils den Stromfluss.
 - Um wieviel Ω darf der Wert von Widerstand R maximal nach oben abweichen, damit kein Monotoniefehler auftritt?

9.3 Konfigurierbarer Logikblock (3 Punkte)

Gegeben sei ein CLB (*Configurable Logic Block*) aus einem FPGA der Firma ACTEL:

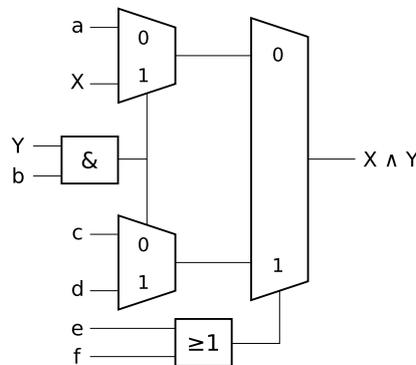


Abbildung 2: Configurable Logic Block

- Geben Sie für den angegebenen Multiplexer-basierten CLB eine Belegung der Eingänge a , b , c , d , e und f an, so dass die Funktion $x \wedge y$ realisiert wird.
- Realisieren Sie die beiden Booleschen Funktionen $x \vee y$ und $\neg x$ mit Hilfe je eines Multiplexers.

Allgemeine Hinweise: Die Übungstermine und weitere Informationen finden Sie unter:

<http://ls12-www.cs.tu-dortmund.de/daes/de/lehre.html>

Die Übungszettel werden dienstags in der Vorlesung ausgeteilt und müssen bis zum darauf folgenden Montag bearbeitet werden. Alternativ können die Übungszettel auch von der oben genannten Webseite heruntergeladen werden. Die Abgaben können in den beschrifteten Briefkasten vor dem Sekretariat des LS12 eingeworfen werden oder per Email (PDF) an den entsprechenden Übungsgruppenleiter gesendet werden.