

# Synthese Eingebetteter Systeme

Sommersemester 2011

## 8 – FPGAs

Michael Engel  
Informatik 12  
TU Dortmund

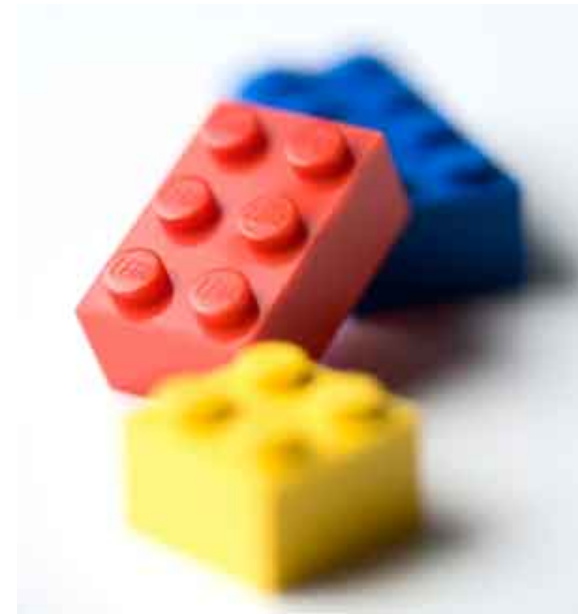
2011/05/11

---

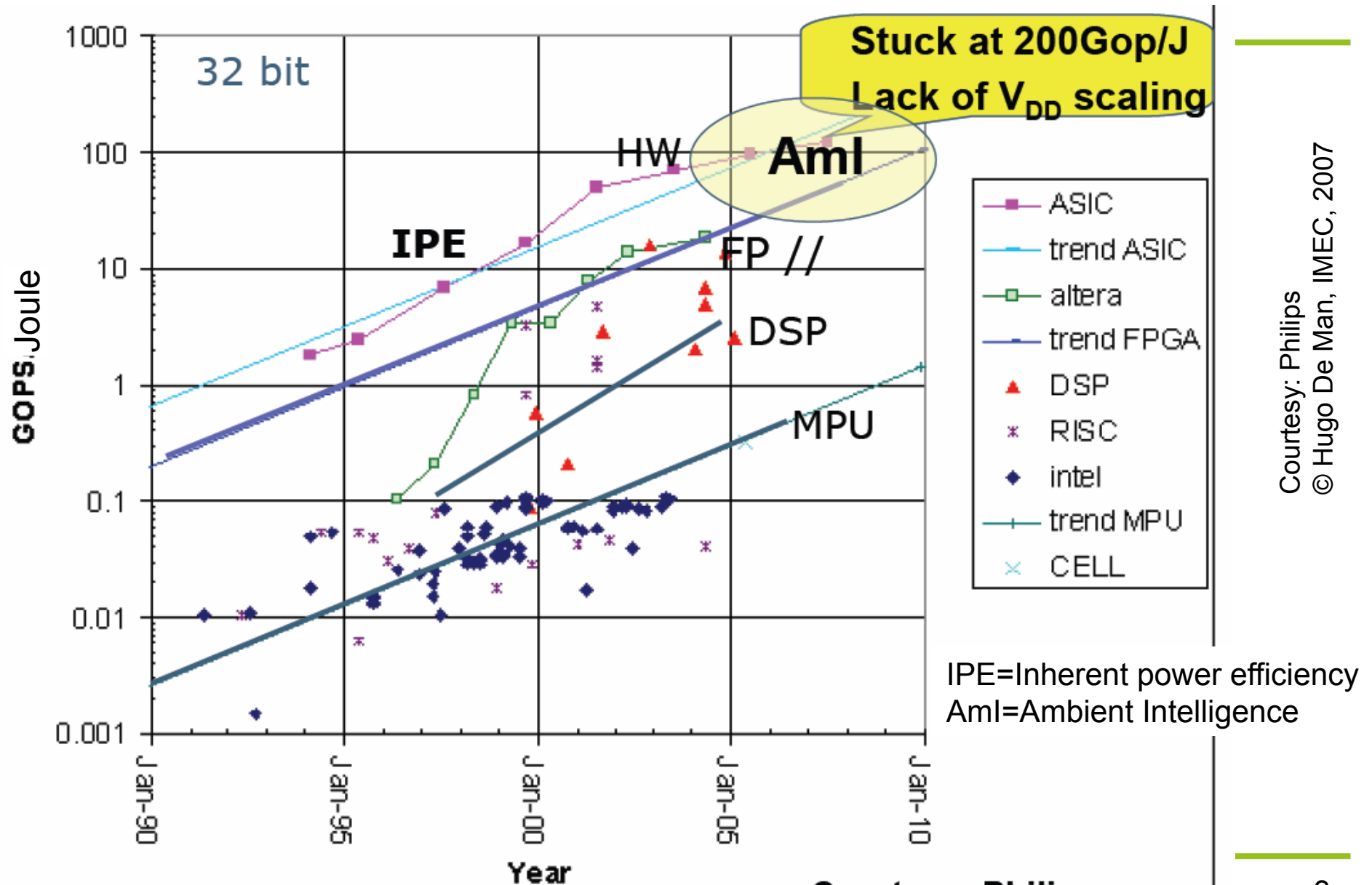
# FPGAs

---

- Energieeffizienz
- FPGA: Strukturen und Routing
  - Virtex 5
- XUPv5-Board
  - Anschlüsse
  - Konfiguration



# Bedeutung der Energieeffizienz

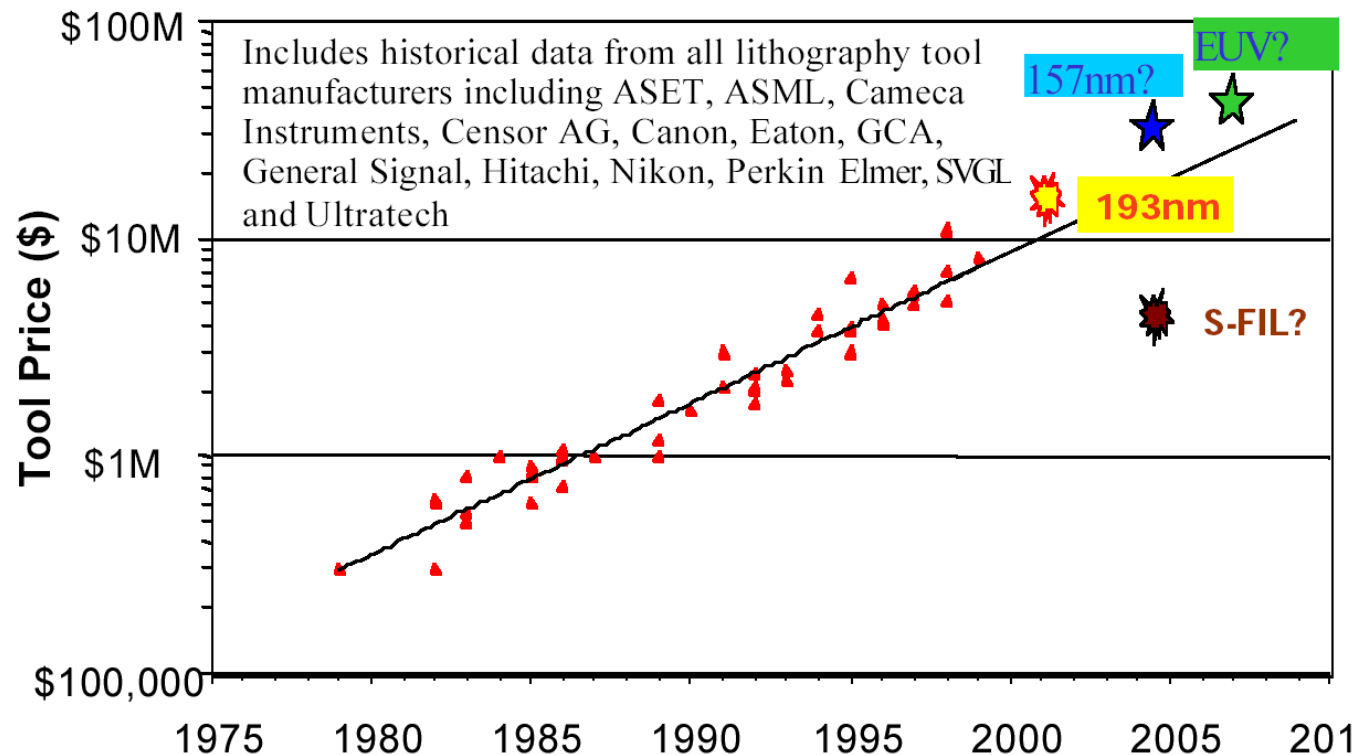


Courtesy: Philips  
© Hugo De Man, IMEC, 2007

Courtesy: Philips

# Probleme der Hardwareimplementierung

- Mangelnde Flexibilität (sich ändernde Standards)
- Maskenkosten für Spezial-HW sind extrem hoch



Spezialhardware für viele Anwendungen nicht machbar, aber dennoch ist Energieeffizienz wichtig!

[[http://www.molecularimprints.com/Technology/tech\\_articles/MII\\_COO\\_NIST\\_2001.PDF9](http://www.molecularimprints.com/Technology/tech_articles/MII_COO_NIST_2001.PDF9)]

---

# Rekonfigurierbare Logik

---

- *Full custom chips* sind zu teuer, Software zu langsam.
- ☞ Geschwindigkeit von HW mit Flexibilität von SW vereinen
- ☞ HW mit programmierbaren Funktionen + Verbindungen
- ☞ **Verwendung konfigurierbarer Hardware;**  
üblich: *field programmable gate arrays* (FPGAs)
- Anwendungen: bit-orientierte Algorithmen wie
  - Verschlüsselung,
  - Schnelle Objekterkennung (Medizin, Militär),
  - Anpassung von Handy auf verschiedene Standards.
- Verschiedene Hersteller
  - Xilinx (z.B. Virtex 5)
  - Altera, Actel, Lattice und einige mehr

---

# FPGA

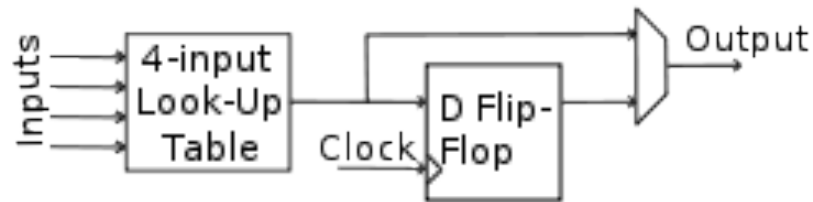
---

- *“Field Programmable Gate Array” = (Anwendungs-)Feld programmierbare (Logik-)Gatter-Anordnung*
- Wieso **“programmierbar”**?!?
  - Programm = Festlegung der Konfiguration
    - Vergleiche FLASH-Speicher, E(E)PROMs
  - Definiert grundlegende Funktionsweise und Verschaltung
  - Nicht (primär) Definition zeitlicher Abläufe
  - Besser: **“konfigurierbar”**
- Funktionsprinzip
  - SRAM-basierte Konfiguration: Xilinx, Altera
  - FLASH-basierte Konfiguration: Actel, Lattice

# SRAM-basierte FPGA-Strukturen

## Grundstruktur

- Array von Blöcken aus jeweils
  - Look-Up-Table (LUT): SRAM-Speicher und
  - 1-Bit-Register (Flipflop)
- LUTs können *beliebige* n-stellige Binärfunktion realisieren
  - “n” = “Größe” der LUT: 4-LUT = 4 Eingangsbits
- Programmierung (Konfigurierung)
  - Speichern der Wahrheitstabelle in LUT-SRAM
- Funktionsberechnung
  - Auslesen der Speicheradresse, die Eingang entspricht



## Beispiel: 4-LUT

- Realisierung der Funktion  $y = f(LUT) = x_1 * x_2 * \text{not}(x_3) * x_4$
- Erstellen der Wahrheitstabelle
- LUT-Inhalt: 16 Resultatbits “y” an Adressen 0...15:

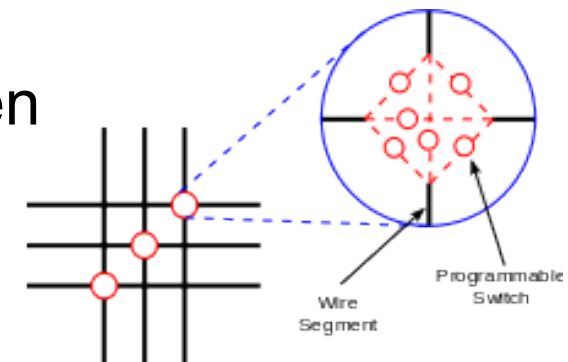
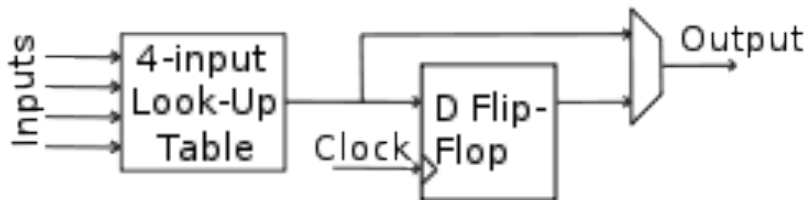
$x_1$	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
$x_2$	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
$x_3$	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$x_4$	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
<b>y</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>

- Wie sieht Konfiguration bei Fkt. mit nur 3 Variablen aus?



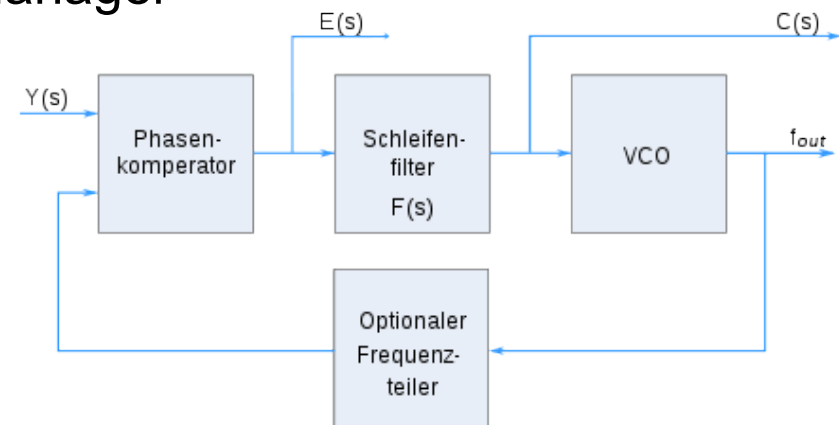
# Verbindungsstrukturen

- Verschaltung der LUTs (relativ) frei konfigurierbar
- Multiplexer-Strukturen in einzelnen Blöcken
  - Realisierung sehr schneller lokaler Verbindungen
  - Einbindung oder Umgehung des Flipflops
  - Rückkopplung von FF-Ausgang an Eingang
  - Verbindung mit Nachbarblöcken
- Verbindungen über größere Entfernungen
  - Gitter aus Busstrukturen zwischen Blöcken
  - Anschließbar an Ein- und Ausgänge
  - Programmierbare Elemente in Knoten



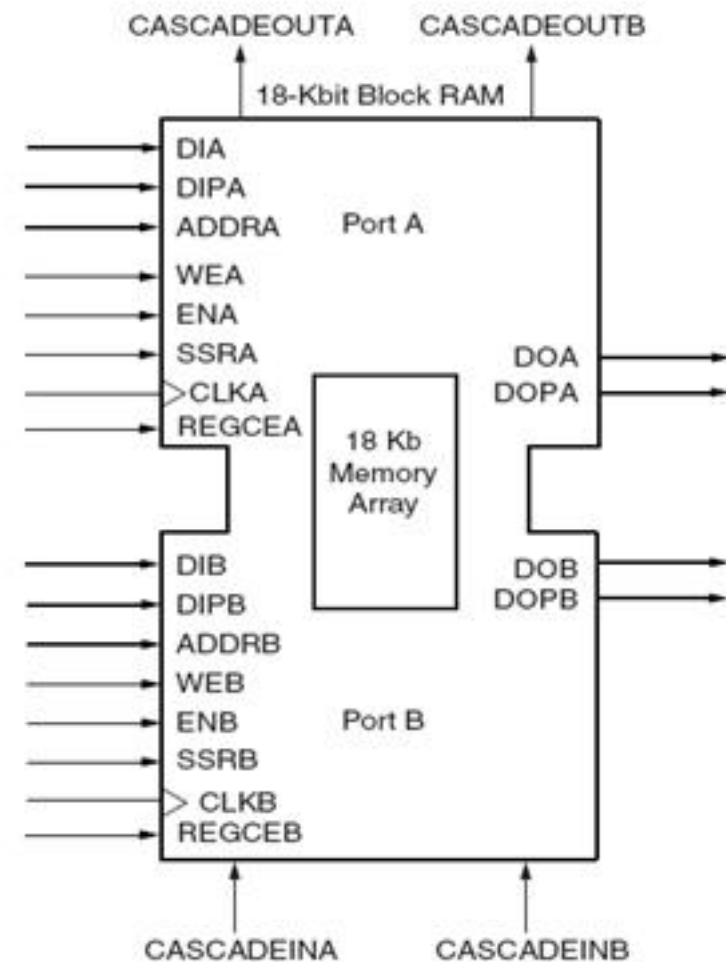
# Weitere FPGA-Elemente

- I/O-Blöcke
  - Verbindung der FPGA-Anschlüsse mit Schaltmatrix
  - An Anwendung anpaßbar: Signalpegel, Zeitverhalten
    - Xilinx: Konfigurierbar in UCF-Datei (User Constraints File)
- Taktaufbereitung
  - Synchroner Takt an allen Stellen des Chips
  - Taktteilung oder Taktvervielfachung
    - Xilinx: DCM: Digital Clock Manager
    - Vervielfachung des Taktes durch PLL (Phase Locked Loop)



# Weitere FPGA-Elemente

- Speicherblöcke
  - SRAM-Komponenten : “Block RAM”
  - Feste Kapazität in kBit
    - Xilinx: z.B. 18 kBit
  - Variable Breiten
    - 8/9/16/18/32/36 Bit
    - “Extra”-Bits für Parity/ECC
  - Oft: *Dual Port*
    - Zwei gleichzeitige Schreib-/Lesezugriffe



---

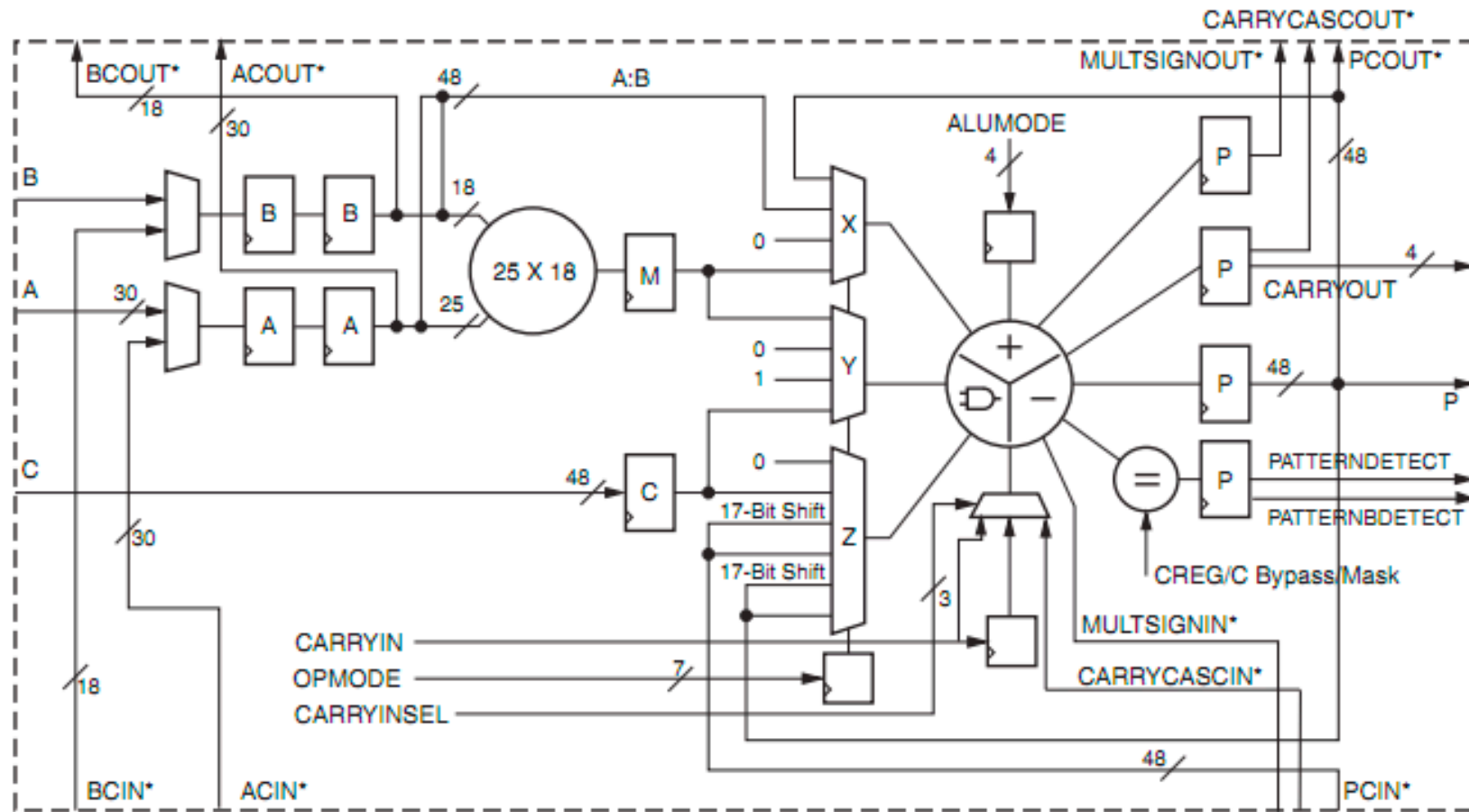
# Weitere FPGA-Elemente

---

- Fest verdrahtete Funktionen
  - Beschleunigung häufig benötigter Funktionen, die als LUTs große Flächen auf FPGA belegen
  - z.B. Multiplizierer/DSP-Blöcke, Schieberegister
- “Hard Cores”
  - Fest verdrahtete Prozessorkerne (1–4)
  - Ideal für Systems-on-Chip
  - Weniger Fläche, höherer Takt als LUT-Realisierung
    - LUT-Version eines Prozessors: “Soft Core”
    - Xilinx: PowerPC 405 (Virtex II/4/5FXT), ARM Cortex-A9
- Analogkomponenten
  - Spezial-FPGAs mit A/D- und D/A-Wandlern

# DSP-Slice

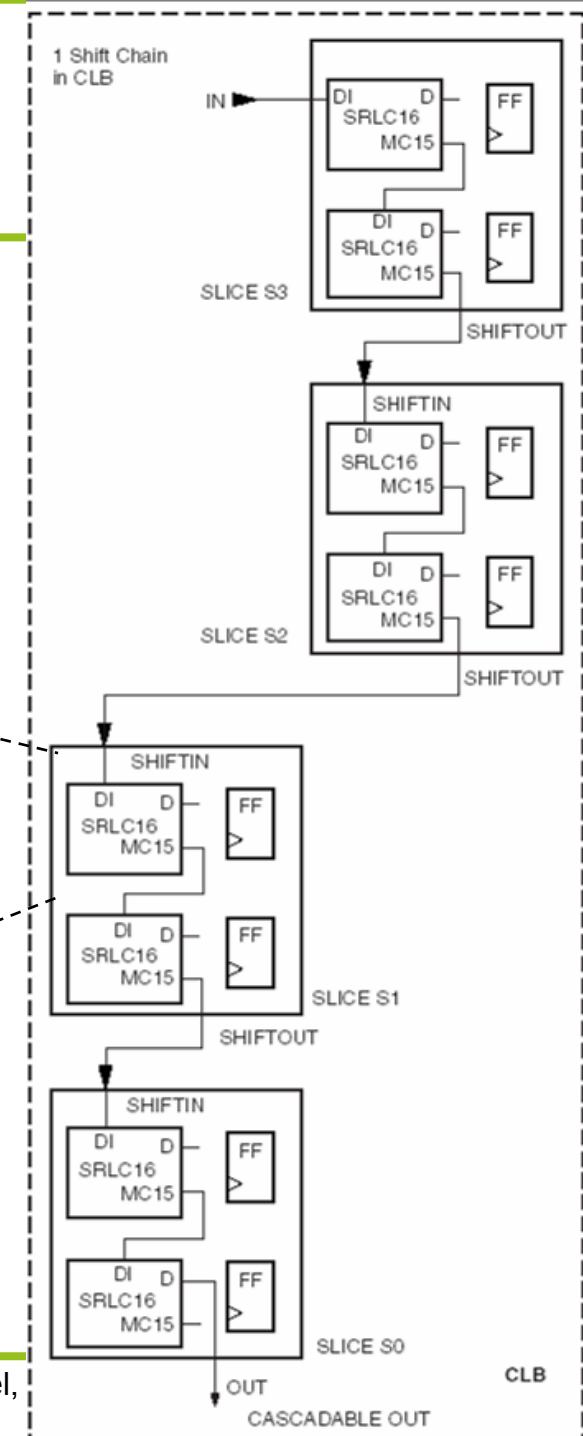
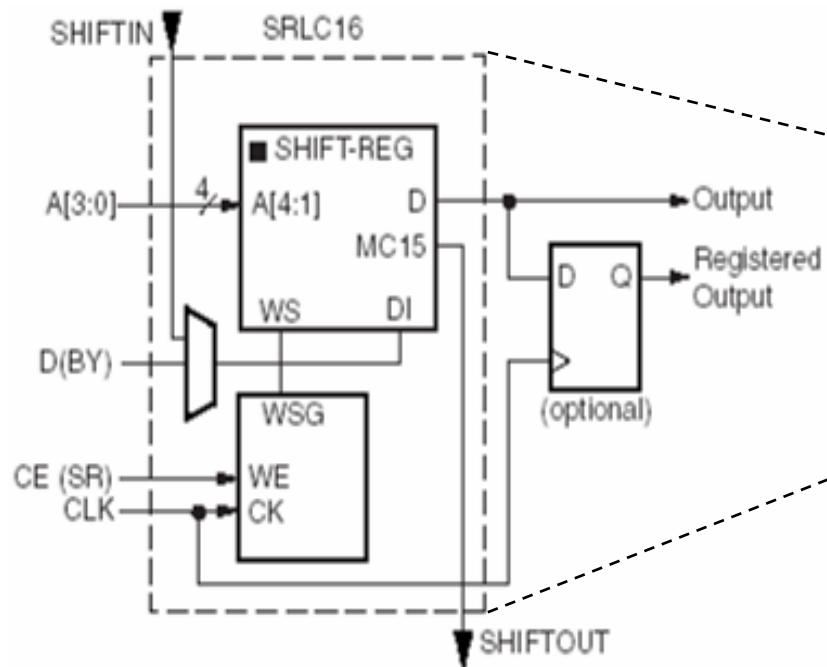
- Unterstützung für Signalverarbeitungsanwendungen
- 25-x18-Bit Multiplizierer, 48-Bit Addierer, kaskadierte Ein-/Ausgänge



\*These signals are dedicated routing paths internal to the DSP48E column. They are not accessible via fabric routing resources.

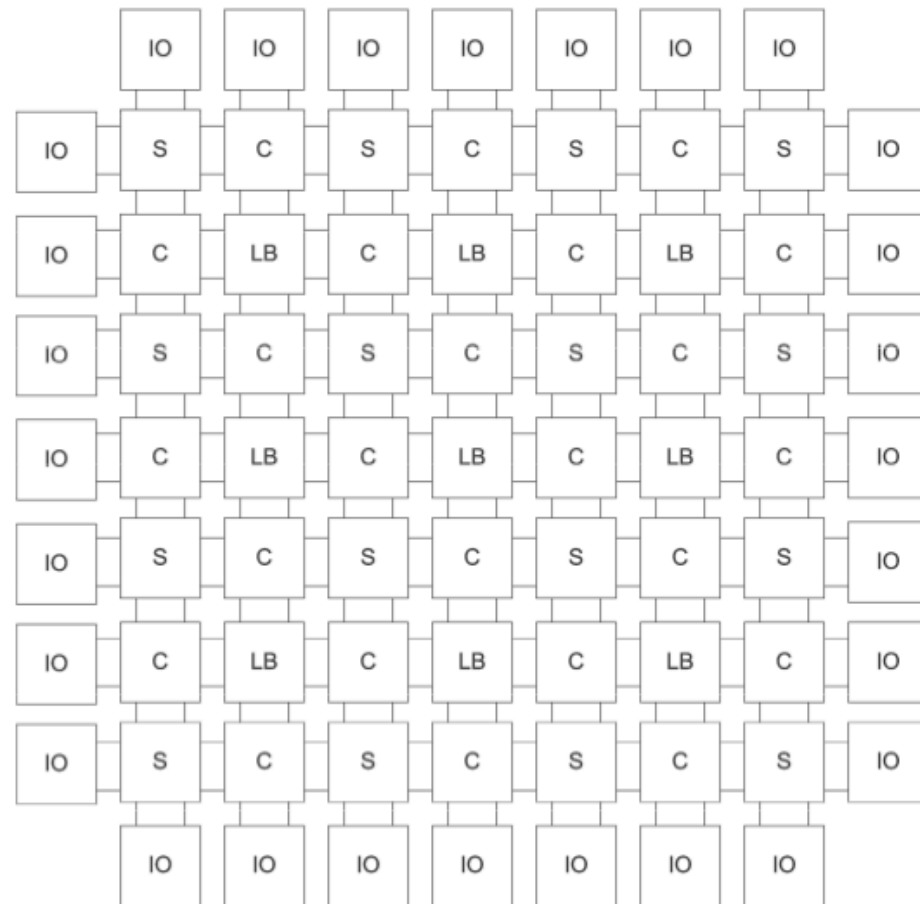
# Schieberegister-Konfiguration

- Slices können als Schieberegister konfiguriert werden



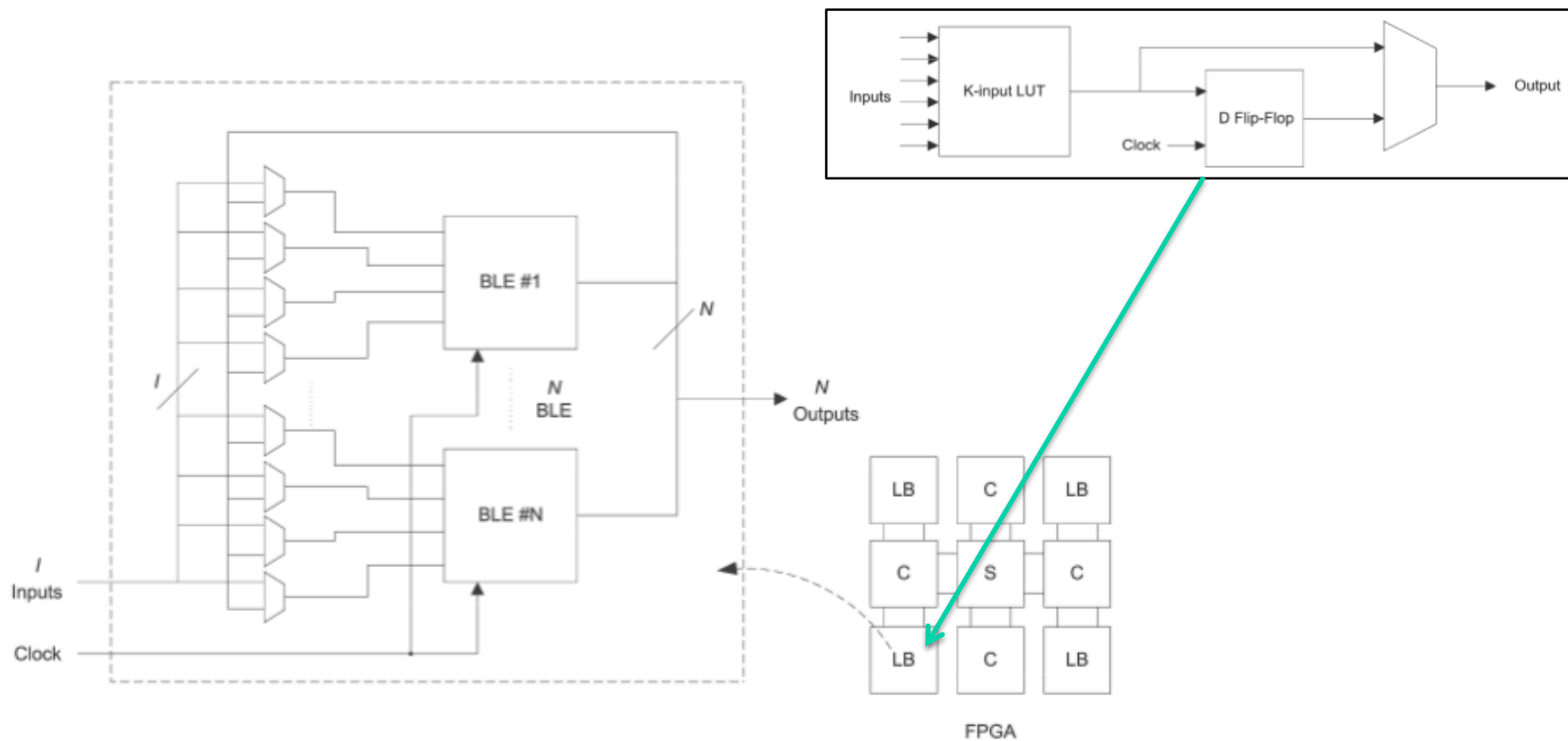
# FPGA-Matrix

- Logikblöcke (LB)
  - Funktionen
- Routing-Kanäle (C)
  - Verbindung
- Switches (S)
  - Konfiguration der Verbindung
- I/O-Blöcke
  - Kommunikation mit Außenwelt



# Architektur der Logikblöcke

- Mehrere Basis-Logikelemente (BLE = LUT+FF+MUX)
  - bilden zusammen “Logikgruppe”

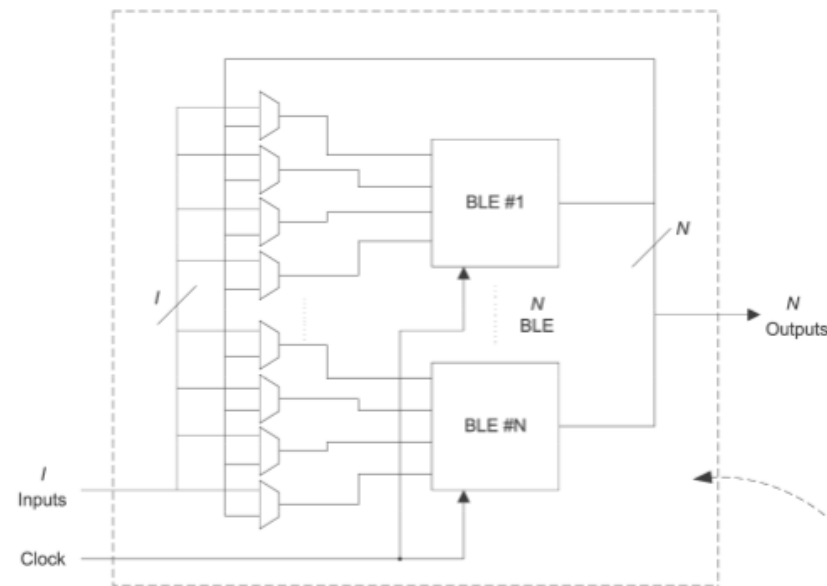




# Logikgruppen

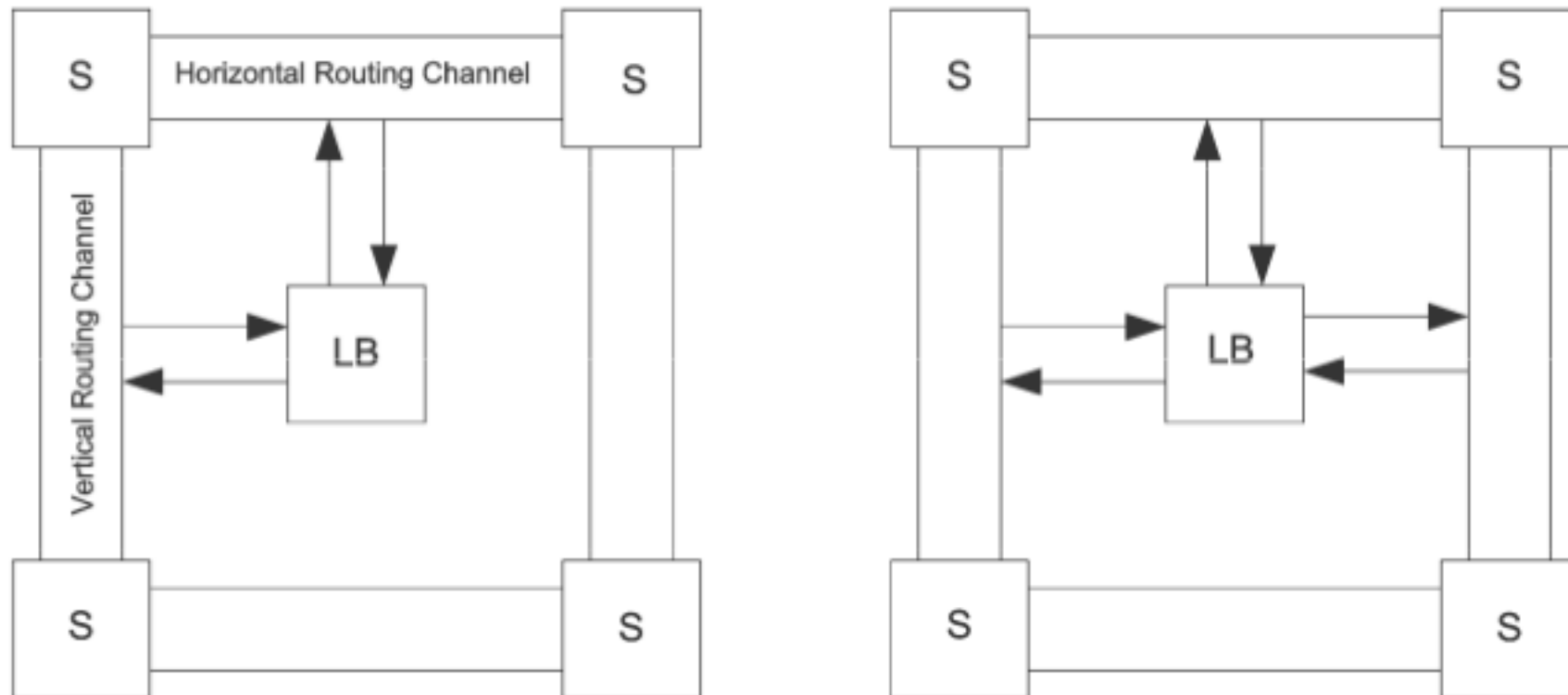
- Logikgruppen sind vollständig verbunden
  - Jeder der  $I$  Eingänge und  $N$  Ausgänge der Logikgruppe kann mit jedem Eingang (1..k) des LUTs verbunden werden
  - Realisiert durch Multiplexer an den BLE-Eingängen
  - Anzahl der Eingänge einer Logikgruppe:

$$I = \frac{K}{2}(N + 1)$$



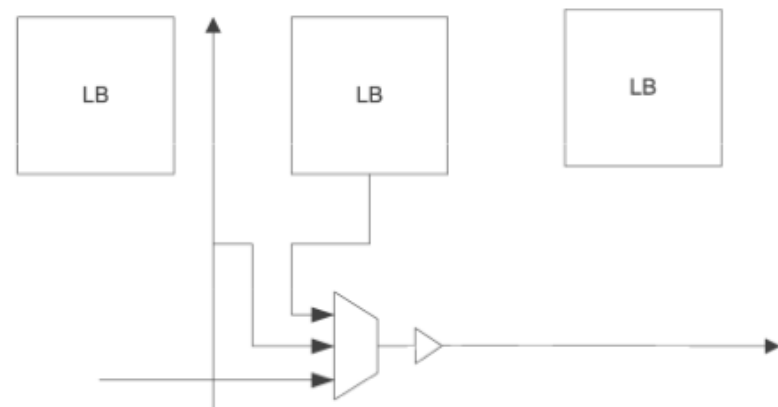
# Verschaltung der Logikgruppen

- Ein-/Ausgänge (I/O) von Logikgruppen in 1–4 “Ebenen” an den jeweiligen Seiten verschaltbar



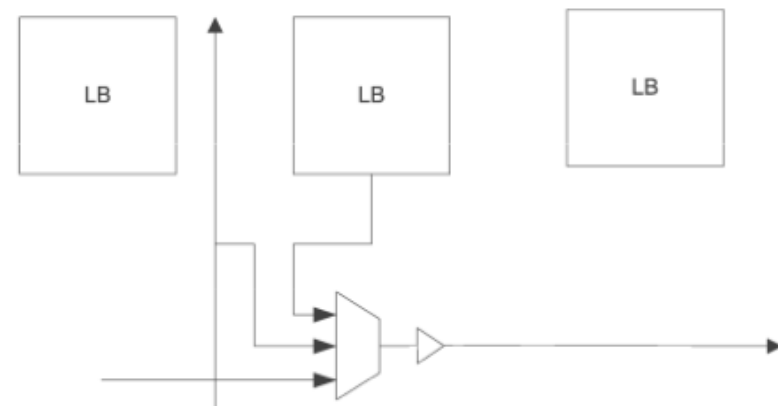
# Architektur der Verbindungskanäle

- Horizontale und vertikale Routing-Kanäle zwischen Zeilen und Spalten von Logikblöcken (LB)
- Channel-Teil, das zu LB benachbart ist:  
“Channel-Segment”
  - Besteht aus  $W$  Leitungen (*Wires*) = Channel-Breite
  - Aktuelle FPGAs: alle Channels mit gleicher Breite
  - Routing-Architektur meist *unidirektional*
    - Jede Verbindung im FPGA hat *eine* Quelle, selektiert durch Multiplexer und Tri-State-Puffer



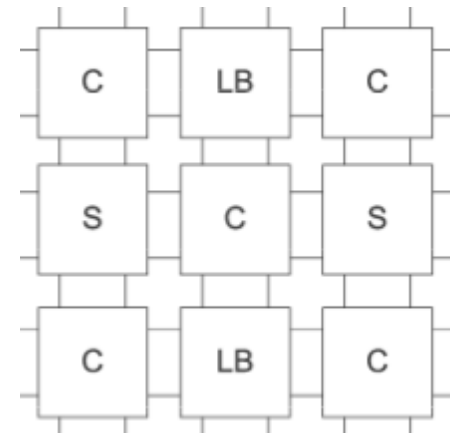
# Eigenschaften der Verbindungskanäle

- Leitungslänge  $L$ : Anzahl der Leitung umgebenden LBs
  - Abb.:  $L=2$
  - Beste Ergebnisse erzielbar durch Leitungen mit  $L=4 / 8$
- Xilinx Virtex 4
  - $L=6$ : 66% der Leitungen
  - $L=2$ : 22% der Leitungen
  - $L=24$ : 13% der Leitungen (*gesamte Höhe/Breite des FPGA*)



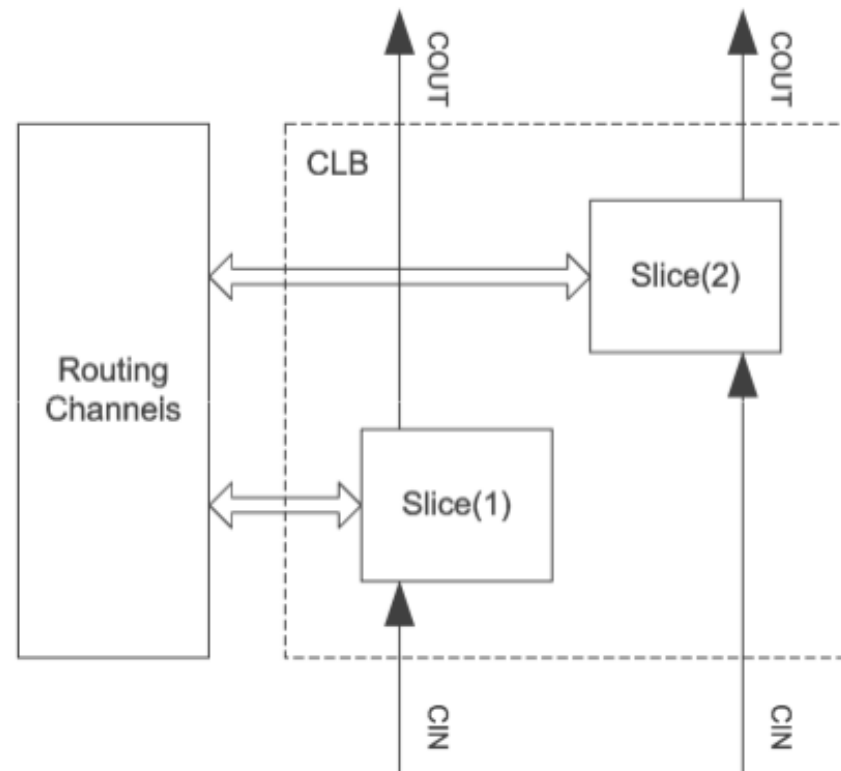
# Schaltelemente

- Verbindung der Channel-Segmente (horizontal und vertikal) durch Schaltelemente (S)
- Leitung mit zu S benachbartem Channelsegment kann mit Leitung in jedem anderen mit S benachbartem Segment verbunden werden
  - Realisiert durch programmierbare Schaltelemente (*Switches*) und Multiplexer
- Flexibilität des Schaltelements definiert durch Anzahl der Ausgangsleitungen
- Verbindung zwischen LBs und Routing-Segmenten durch Connection Blocks (C)
  - Zwischen LB-Eingang und Leitung
  - Zwischen LB-Ausgang und Leitung

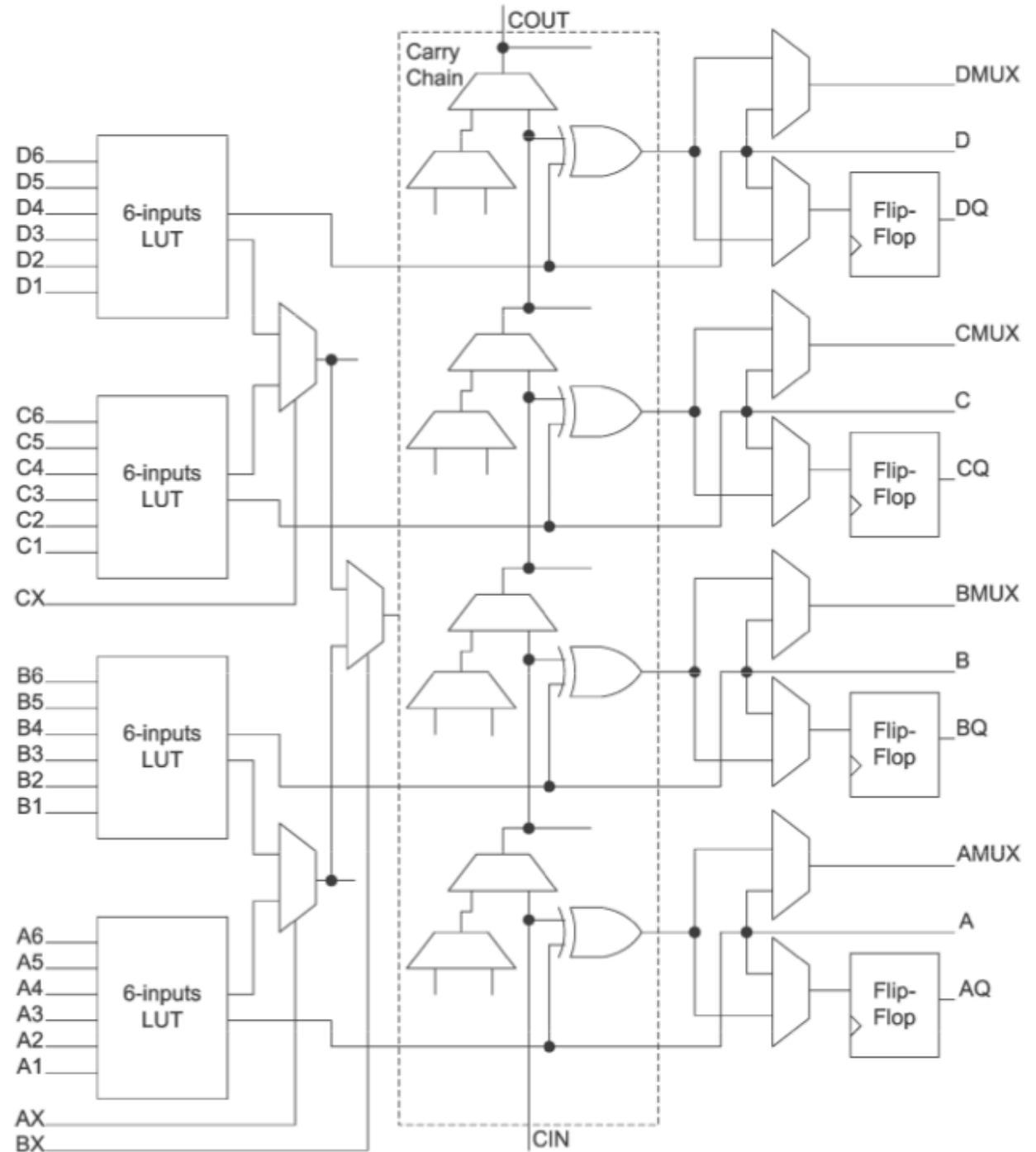


# Virtex 5–Routingarchitektur

- Logikblöcke in Virtex 5: CLB (Configurable Logic Blocks)
- Bestehen aus zwei *Slices*
  - Je Slice 4 LUT-Elemente mit je 6 Eingängen (6-LUTs)

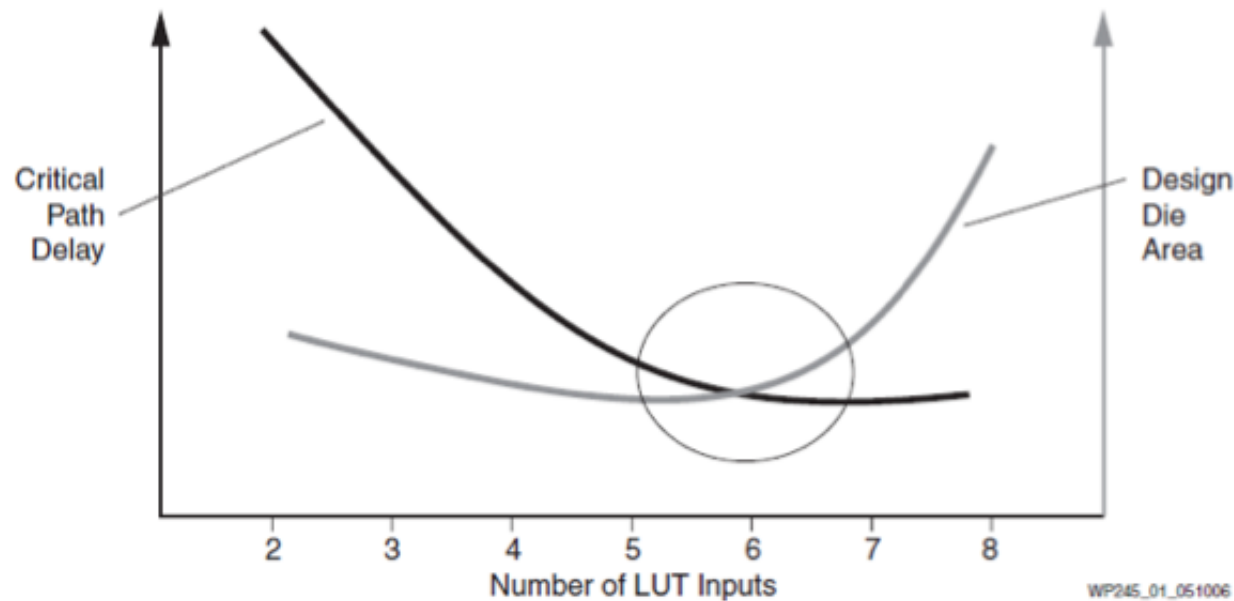


# Struktur des Slice-Elements



# Virtex 5: LUT-Architektur

- Ältere Xilinx-FPGAs: 4-LUTs statt 6-LUTs
  - Größe der LUTs abhängig von Technologie
  - Virtex 4: 90nm Strukturbreite – Virtex 5: 65nm
- Bei 65nm: 6-LUTs bieten besseres Verhältnis von Chipfläche zu Leitungsverzögerungen





---

## Virtex 5: Routingkapazitäten

---

- Abhängigkeit zwischen Anzahl der Logikkomponenten in einem LB und der erforderlichen Anzahl an Verbindungen zu anderen LBs des Chips

- “Rent’s Rule” [4]:

$$T = t \cdot C^p$$

- $T$ : Anzahl Anschlüsse (“Pins” an allen vier Seiten des LB)
- $C$ : Anzahl interner Komponenten des LB
- $t$ : durchschnittliche Anzahl Anschlüsse in einem LB
  - “Rent-Konstante”
- $p$ : Logikkomplexität des LB – “Rent-Exponent”
  - Im Bereich 0,5–0,75

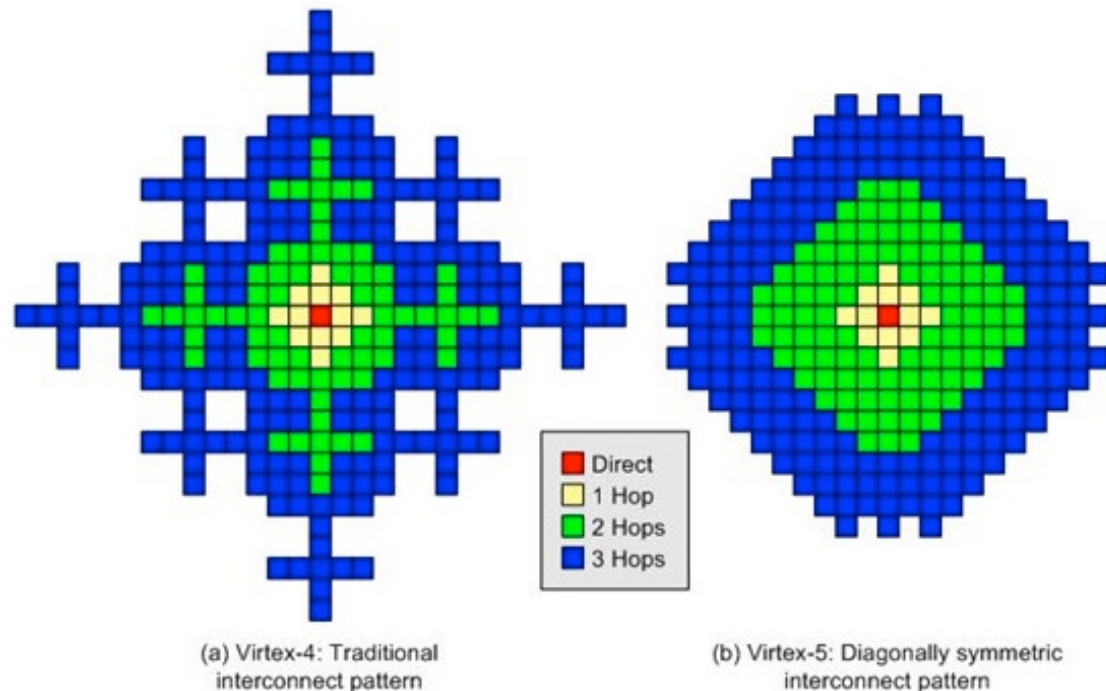
# Virtex 5: Routingkapazitäten

- Vergleich LB von Virtex 4 – Virtex 5
  - Anzahl LUT-Eingänge bei Virtex 5 50% höher
  - (4-LUTs vs. 6-LUTs)

CLB	Virtex-4 FPGA	Virtex-5 FPGA
Slices	4	2
LUTs	8	8
Flip-Flops	8	8
Clocks, Clock-Enables, Reset	4 each	2 each
Distributed RAM	64 bits	256 bits
Shift Register Length	64 bits	128 bits
Multiplexers	16 – 1	2 x (16 – 1)

# Virtex 5: Routingarchitektur

- Nach Rent's Rule: 50% mehr Links in Virtex 5 notwendig
  - Wenn Routing-Struktur des Virtex 4 beibehalten
- Nur schwer realisierbar → hoher Verbrauch an Fläche
- Neue Routingstruktur "Diagonally symmetric interconnect pattern"
- Reduziert Delays
- LBs mit kleinerer Anzahl "hops" (Schaltelemente) erreichbar

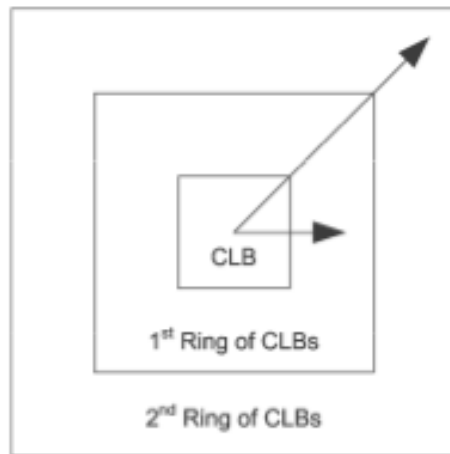


# Virtex 5: Routingarchitektur

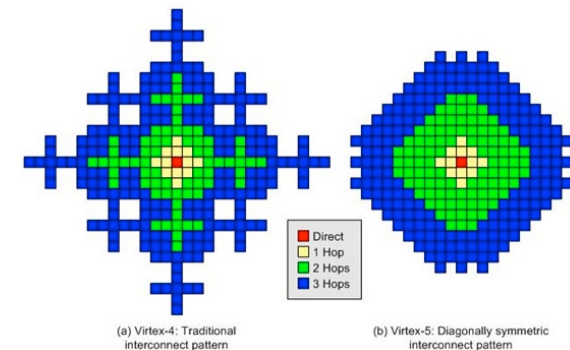
- Erreichbarkeit in Abh. von Anzahl der hops

Hops	Number of CLB Reachable	
	Virtex-4 FPGA	Virtex-5 FPGA
1	12	12
2	68	96
3	200	180
Total	280	288

- Vergleich der Routing-Verzögerungen: Virtex 4–Virtex 5



	Virtex-4	Virtex-5
1 <sup>st</sup> Ring	751 ps	665 ps
2 <sup>nd</sup> Ring	906 ps	723 ps



---

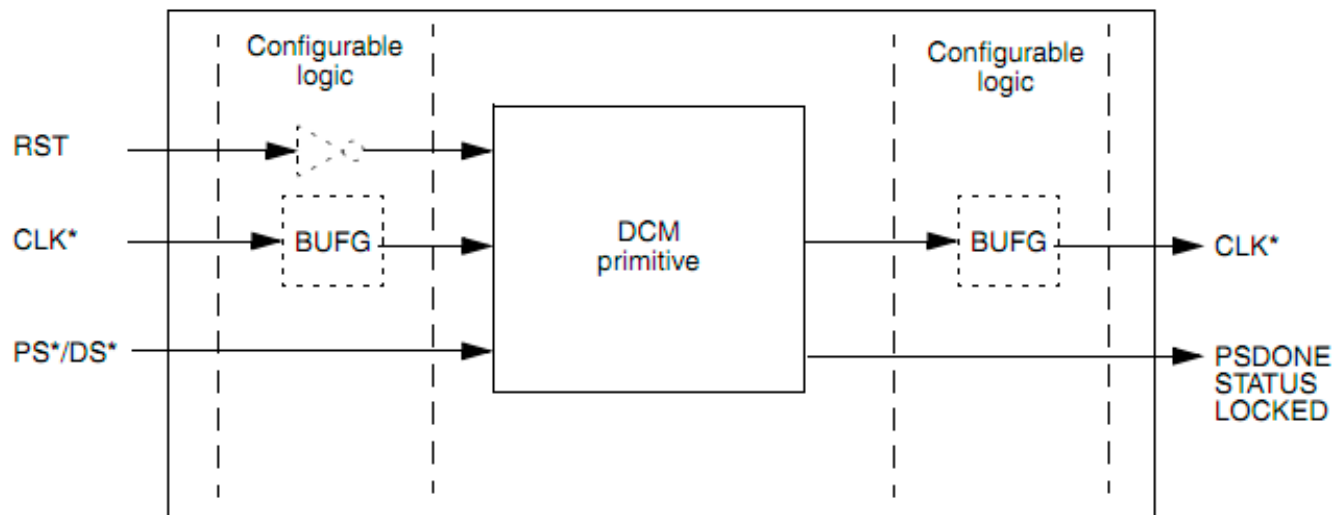
# Virtex 5: Routingarchitektur

---

- Diagonale Strukturen erfordern neue Segmentarten
  - Traditionell: Länge “double” (erreichen 2 LBs), “hex” (6 LBs) und “long” (alle LBs in Zeile oder Spalte)
- Jetzt: Segmente der Länge “double” (2 LBs), “pent” (5 LBs) und “long”
  - Einige der “pent”-LBs sind *L-förmig*
  - Erreichen 3 oder 4 LBs auf horizontalem Channel und 1 oder 2 LBs auf vertikalem Channel
  - Einfachere Realisierung der diagonalen Strukturen

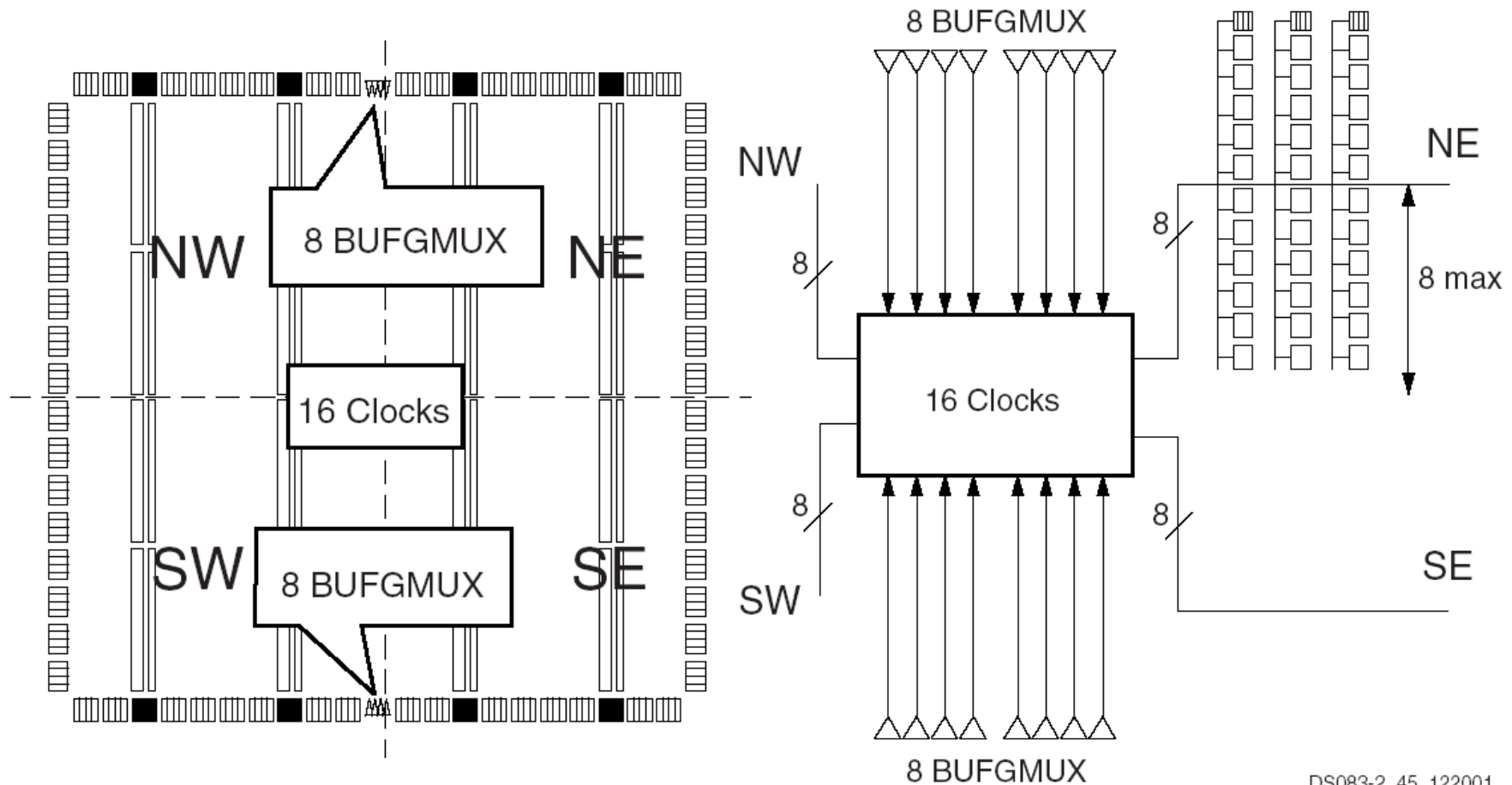
# Digital Clock Manager

- Realisierung von Frequenzsynthese, Phasenverschiebung, Spread Spectrum (Frequenzverteilung über bestimmte Bandbreite)
  - Auf- und Abwärtsskalierung des Eingangstaktes (um einstellbaren Faktor  $n/m$  mit `C_CLKFX_MULTIPLY`, `C_CLKFX_DIVIDE`)
  - Phasenverschiebung um  $90/180/270^\circ$



# Taktverteilung

- Bis zu 16 globale Takte verfügbar
  - $\leq 8$  Takte/Quadrant nutzbar, organisiert in Taktspalten



DS083-2\_45\_122001

## Ressourcen verschiedener Virtex 5 FPGAs

- High-End-FPGA-Familie mit verschiedenen Eigenschaften
  - noch aktueller: Virtex 6, 7
- Preis: bis mehrere 1000€ pro Chip

Device	Configurable Logic Blocks (CLBs)			DSP48E Slices <sup>(2)</sup>	Block RAM Blocks			CMTs <sup>(4)</sup>	PowerPC Processor Blocks	Endpoint Blocks for PCI Express	Ethernet MACs <sup>(5)</sup>	Max RocketIO Transceivers <sup>(6)</sup>		Total I/O Banks <sup>(8)</sup>	Max User I/O <sup>(7)</sup>
	Array (Row x Col)	Virtex-5 Slices <sup>(1)</sup>	Max Distributed RAM (Kb)		18 Kb <sup>(3)</sup>	36 Kb	Max (Kb)					GTP	GTX		
XC5VLX20T	60 x 26	3,120	210	24	52	26	936	1	N/A	1	2	4	N/A	7	172
XC5VLX30T	80 x 30	4,800	320	32	72	36	1,296	2	N/A	1	4	8	N/A	12	360
XC5VLX50T	120 x 30	7,200	480	48	120	60	2,160	6	N/A	1	4	12	N/A	15	480
XC5VLX85T	120 x 54	12,960	840	48	216	108	3,888	6	N/A	1	4	12	N/A	15	480
XC5VLX110T	160 x 54	17,280	1,120	64	296	148	5,328	6	N/A	1	4	16	N/A	20	680
XC5VLX155T	160 x 76	24,320	1,640	128	424	212	7,632	6	N/A	1	4	16	N/A	20	680
XC5VLX220T	160 x 108	34,560	2,280	128	424	212	7,632	6	N/A	1	4	16	N/A	20	680
XC5VLX330T	240 x 108	51,840	3,420	192	648	324	11,664	6	N/A	1	4	24	N/A	27	960



# Low-End-FPGAs

- Xilinx Spartan 3/6-Serie
  - Geringere Kapazitäten, weniger Spezialfunktionen
- Günstige Chips (10 €) und Entwicklungsboards (ab 50€)

Device	System Gates	Equivalent Logic Cells <sup>(1)</sup>	CLB Array (One CLB = Four Slices)			Distributed RAM Bits (K=1024)	Block RAM Bits (K=1024)	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs						
XC3S50 <sup>(2)</sup>	50K	1,728	16	12	192	12K	72K	4	2	124	56
XC3S200 <sup>(2)</sup>	200K	4,320	24	20	480	30K	216K	12	4	173	76
XC3S400 <sup>(2)</sup>	400K	8,064	32	28	896	56K	288K	16	4	264	116
XC3S1000 <sup>(2)</sup>	1M	17,280	48	40	1,920	120K	432K	24	4	391	175
XC3S1500	1.5M	29,952	64	52	3,328	208K	576K	32	4	487	221
XC3S2000	2M	46,080	80	64	5,120	320K	720K	40	4	565	270
XC3S4000	4M	62,208	96	72	6,912	432K	1,728K	96	4	633	300
XC3S5000	5M	74,880	104	80	8,320	520K	1,872K	104	4	633	300

---

# Xilinx University Program (XUP) Virtex 5 Entwicklungsboard (ML509)

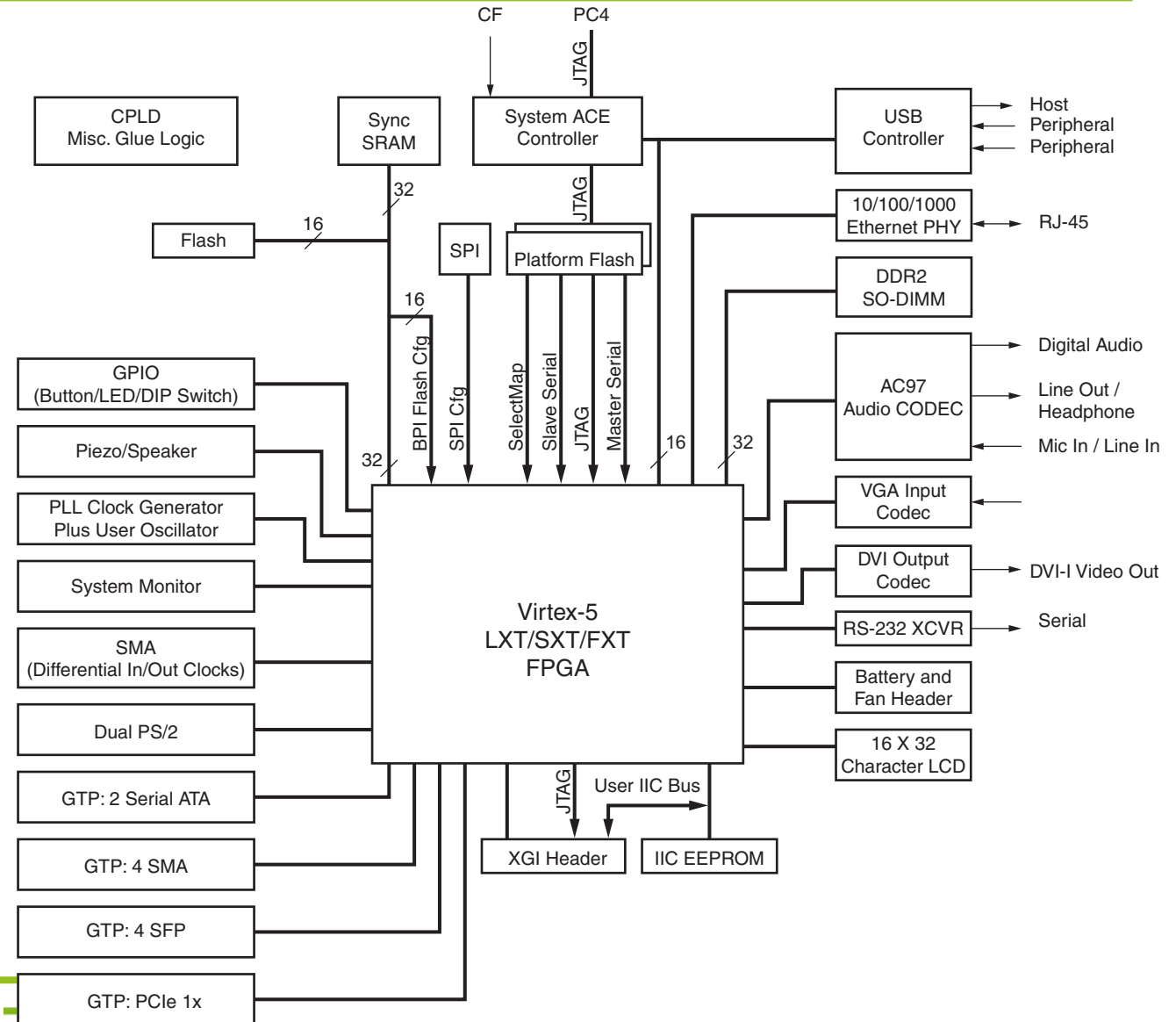
---

- High-end Entwicklungsboard mit XC5VLX110T FPGA
- Dokumentation: [1]



# Xilinx University Program (XUP) Virtex 5 Development Board (ML509)

- Große Anzahl von I/O-Schnittstellen



---

# Eigenschaften des XUPv5-Boards (1)

---

- Xilinx Virtex-5 FPGA XC5VLX110T-1FFG1136
- Two Xilinx XCF32P Platform Flash PROMs (32 Mb each) for storing large device configurations
- Xilinx System ACE CompactFlash configuration controller with Type I CompactFlash connector
- Xilinx XC95144XL CPLD for glue logic
- 64-bit wide, 256-MB DDR2 small outline DIMM (SODIMM), compatible with EDK supported IP and software drivers
- Clocking
  - Programmable system clock generator chip
  - One open 3.3V clock oscillator socket
  - External clocking via SMAs (two differential pairs)
- DIP switches (8), LEDs (8), pushbuttons, rotary encoder
- Expansion header with 32 single-ended I/O, 16 LVDS-capable differential pairs, 14 spare I/Os shared with buttons and LEDs, power, JTAG chain expansion capability, and IIC bus expansion

---

## Eigenschaften des XUPv5-Boards (2)

---

- Stereo AC97 audio codec with line-in, line-out, 50-mW headphone, microphone-in jacks, SPDIF digital audio jacks, and piezo audio transducer
- RS-232 serial port, DB9 and header for second serial port
- 16-character x 2-line LCD display
- One 8-Kb IIC EEPROM and other IIC capable devices
- PS/2 mouse and keyboard connectors
- Video input/output
  - Video input (VGA)
  - Video output DVI connector (VGA supported with included adapter)
- ZBT synchronous SRAM, 9 Mb on 32-bit data bus with four parity bits
- Intel P30 StrataFlash linear flash chip (32 MB)
- Serial Peripheral Interface (SPI) flash (2 MB)
- 10/100/1000 tri-speed Ethernet PHY transceiver and RJ-45 with support for MII, GMII, RGMII, and SGMII Ethernet PHY interfaces

---

## Eigenschaften des XUPv-Boards (3)

---

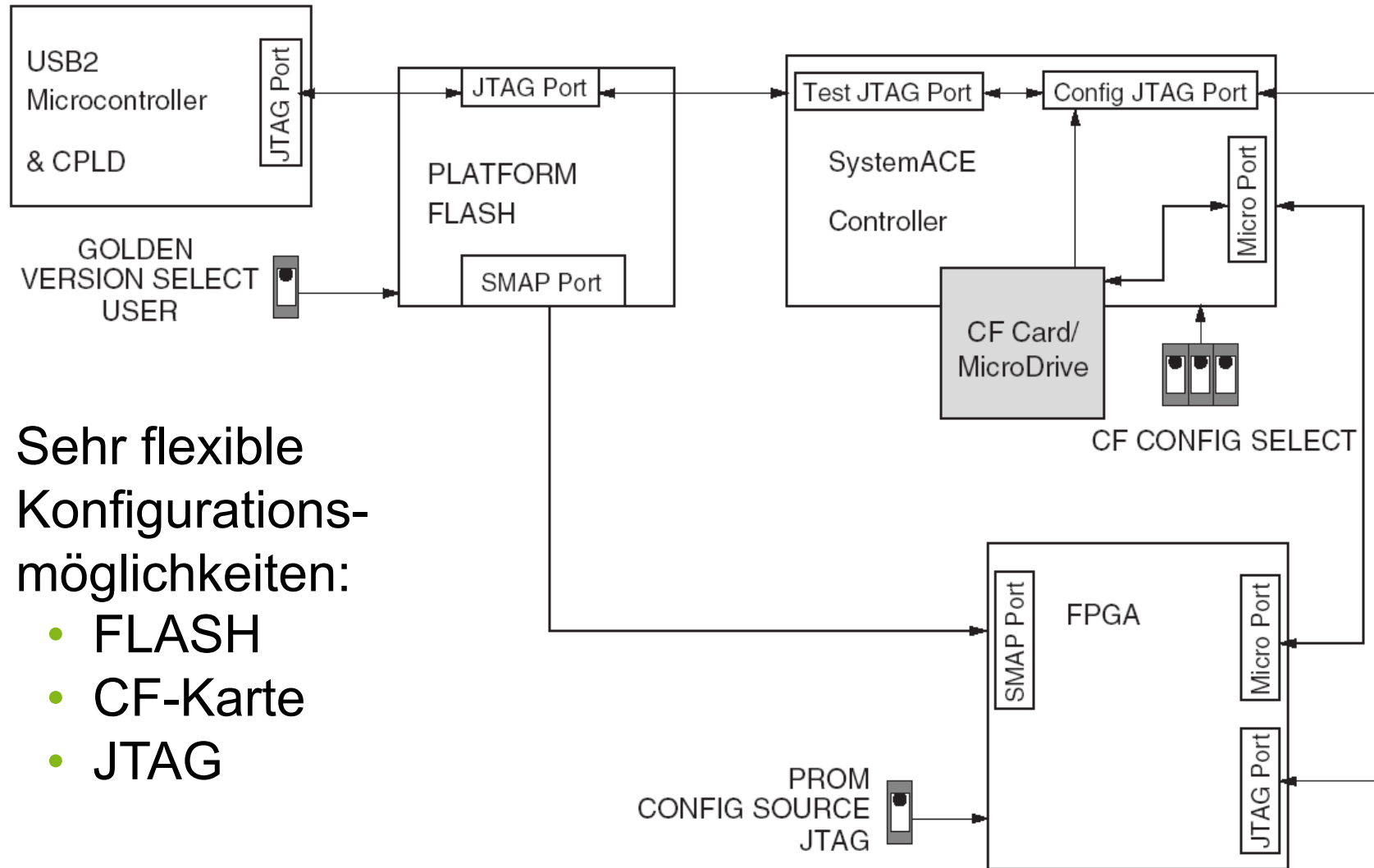
- USB interface chip with host and peripheral ports
- Rechargeable lithium battery to hold FPGA encryption keys
- JTAG configuration port for use with Parallel Cable III, Parallel Cable IV, or Platform USB download cable
- Onboard power supplies for all necessary voltages
- Temperature and voltage monitoring chip with fan controller

# Anschlüsse für LEDs und Taster

Reference Designator	Label/Definition	Color	FPGA Pin	Buffered
DS17	GPIO LED 0	Green	H18	Yes
DS16	GPIO LED 1	Green	L18	Yes
DS15	GPIO LED 2	Green	G15	Yes
DS14	GPIO LED 3	Green	AD26	No
DS13	GPIO LED 4	Green	G16	Yes
DS12	GPIO LED 5	Green	AD25	No
DS11	GPIO LED 6	Green	AD24	No
DS10	GPIO LED 7	Green	AE24	No

Reference Designator	Label/Definition	FPGA Pin
SW10	N (GPIO North)	U8
SW11	S (GPIO South)	V8
SW12	E (GPIO East)	AK7
SW13	W (GPIO West)	AJ7
SW14	C (GPIO Center)	AJ6

# Konfigurations-Datenfluss



- Sehr flexible Konfigurationsmöglichkeiten:
  - FLASH
  - CF-Karte
  - JTAG



---

# Integrated Software Environment (ISE)

---

- Generierung von Konfigurations-Bitstreams (bit files)
  - Aus VHDL, Verilog, Gatterschaltung
- Frei verfügbar: WebPack
  - [http://www.xilinx.com/ise/logic\\_design\\_prod/webpack.htm](http://www.xilinx.com/ise/logic_design_prod/webpack.htm)
  - Teilmenge der Funktionalität
  - “Große” FPGAs nicht unterstützt
- Alternative: Verwendung von Makefiles:
  - <http://www.xess.com/appnotes/makefile.html>

# ISE-Versionen

<b><i>Webpack</i></b> <b>Kostenlos, Unterstützt nur “kleine” FPGAs</b>	<b><i>Foundation</i></b> <b>Normalerweise kostenpflichtig:</b> LS12 besitzt Lizenzen, die Studierenden temporär gegen NDA ausgeliehen werden.
<i>Webpack 10.1i</i>	<i>Foundation 10.1i</i>
Verfügbar unter <a href="http://www.xilinx.com">www.xilinx.com</a> (Windows/Linux). Enthält einfachen Simulator. Optional: Modelsim Simulator (Windows only)	Aktuell eingesetzte Version
<i>Webpack 12/13</i>	<i>Foundation 12/13</i>
Aktuelle Version – noch nicht getestet	Aktuell – Unterstützung für neuere FPGAs, neue GUI

---

# Zusammenfassung

---

- FPGAs
  - Energieeffizienz
  - Strukturen, Verbindungen, Routing
  - Spezialelemente
  - Architektur Virtex-5
  - Komplexität Logikelemente – Verbindung
  - XUPv5-Board
  - Xilinx-Software

---

# Literatur

---

- ① Xilinx, Inc. – UG347: ML505/ML506/ML507 Evaluation Platform User Guide  
[http://www.xilinx.com/support/documentation/boards\\_and\\_kits/ug347.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/ug347.pdf)
- ② Xilinx, Inc. – UG190: Virtex-5 FPGA User Guide  
[http://www.xilinx.com/support/documentation/user\\_guides/ug190.pdf](http://www.xilinx.com/support/documentation/user_guides/ug190.pdf)
- ③ Petar Borisov Minev and Valentina Stoianova Kukenska:  
The Virtex-5 Routing and Logic Architecture  
Annual Journal of Electronics, 2009
- ④ B. Landman, R. Russo. *On a Pin or Block Relationship for Partitions of Logic Graphs*, *IEEE Transaction on Computers*, vol. C-20, pp. 1469-1479, 1971.