
Rechnerarchitektur SS 2016

Exercises: Cache Replacement (LRU)

Jian-Jia Chen

TU Dortmund

to be discussed on June, 21, 2016

Cache Replacement (1)

Gegeben sei ein 256 Byte großer 4-fach assoziativer L1-Cache mit LRU-Ersetzungsstrategie, die mit Hilfe von Dreiecksmatrizen implementiert wird. Jeder Cacheblock umfasst 4 Wörter (d.h. 32 Bit). Bei Schreibzugriffen werden die Strategien write-back und write-allocate angewendet.

Gehen Sie davon aus, dass in der Cachezeile mit dem Index 2 zuletzt auf die Ways in der Reihenfolge 2 (ältester Zugriff), 3, 1, 0 (jüngster Zugriff) zugegriffen wurde. Auf die Ways in der Cachezeile mit Index 3 wurde zuletzt in der Reihenfolge 0, 2, 3, 1 zugegriffen. Auf alle anderen Cachezeilen wurde in der Reihenfolge 0, 1, 2, 3 zugegriffen.

- a) Zeichnen Sie die Dreiecksmatrizen für die Cachezeilen mit den Indizes 2 und 3.

Cache Replacement (2)

b) Der Prozessor greift nun auf die folgenden Speicheradressen zu:

- 1 Write: 0x00493720
- 2 Write: 0x00493734
- 3 Read: 0x00471110
- 4 Read: 0x00493728
- 5 Read: 0x0049352C
- 6 Read: 0x00493734

Gehen Sie davon aus, dass zu Beginn der Zugriffssequenz die Tags in allen Cacheblöcken einer Null entsprechen. Geben Sie für jeden Zugriff an, ob ein Cache-Miss oder Cache-Hit vorliegt und welche Cachezeile geprüft wurde. Wie sieht nach einem Zugriff die Dreiecksmatrix der Zeile aus und welcher Block wird bei einem Cache-Miss ersetzt?