

Rechnerstrukturen WS 2011/12

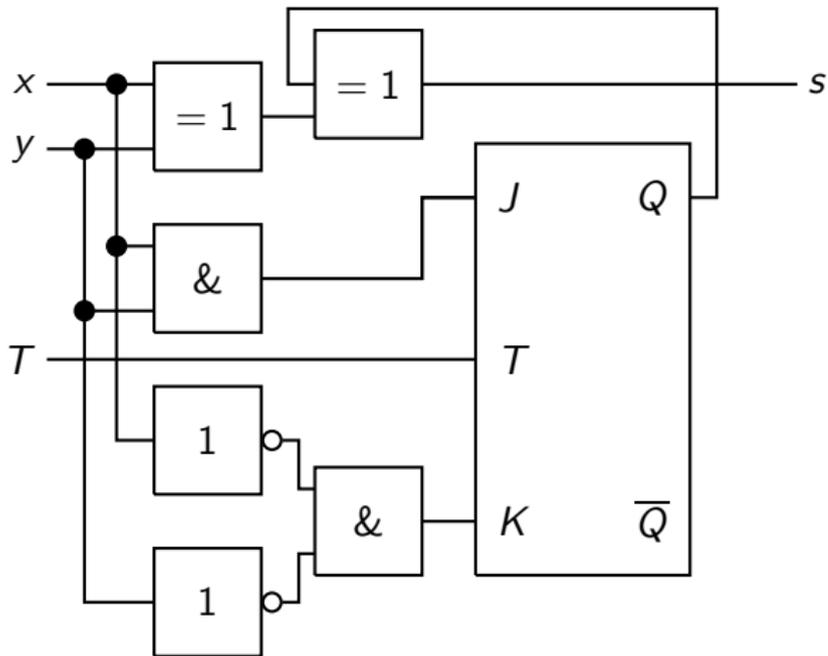
- ▶ Schaltwerk-Entwurf
 - ▶ von Neumann-Addierwerk

- ▶ Speicher
 - ▶ SRAM-Realisierung

Hinweis: *Folien teilweise a. d. Basis von Materialien von Thomas Jansen*

29. August 2011

Schaltwerk des Serienaddierers



Zusammenfassung Serien-Addierer

Fazit

- ▶ addiert beliebig lange Betragszahlen
- ▶ ist sehr klein und flach
- ▶ ist sehr leicht zu initialisieren
- ▶ ist extrem langsam

Warum ist das Schaltwerk so langsam?

klar und bekannt wegen der Überträge

Müssen Überträge so lange dauern?

bekannt im Allgemeinen nicht (siehe Addierer)

aber Bei bit-weiser Eingabe schon!

Über unsere Modelle

Wir wissen schon Überträge werden nur manchmal
lange weitergereicht.

Kann man ein Schaltwerk bauen, dass nur manchmal langsam ist?

Problem unsere Automaten können das zunächst nicht

Beobachtung bei Mealy- und Moore-Automat bestimmt
Länge der Eingabe die Anzahl der Rechentakte

darum Modifikation des Automatenmodells

neu Erlaube leere Eingabe ε und
signalisiere Ende der Rechnung durch Rechenende-Zeichen

Beobachtung Das ist fundamental neu für uns.
Rechenzeit kann von der Eingabe abhängen
(nicht nur von der Eingabelänge).

Auf dem Weg zum besseren Addierwerk

Wie wollen wir vorgehen?

Beobachtung Eingaben müssen sofort ganz zur Verfügung stehen
sonst kann man nicht schneller sein

also Eingabealphabet $\Sigma = \{0, 1\}^{2n}$

Eingabe $x_{n-1}x_{n-2} \cdots x_1x_0y_{n-1}y_{n-2} \cdots y_1y_0 \in \{0, 1\}^{2n}$

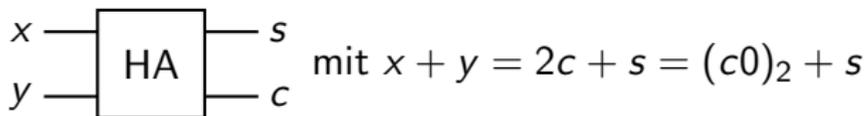
interpretieren als

$$\begin{array}{cccc}
 x_{n-1} & x_{n-2} & \cdots & x_0 \\
 + & y_{n-1} & y_{n-2} & \cdots & y_0 \\
 \hline
 \end{array}$$

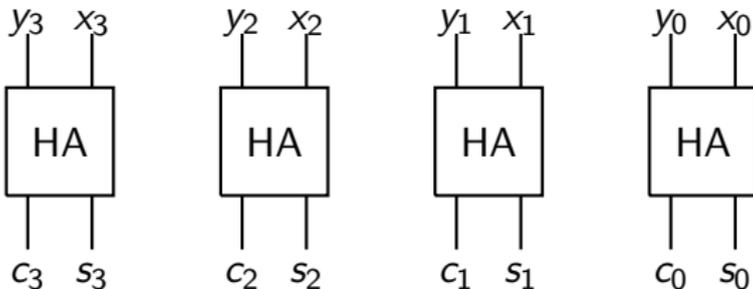
bekannte Idee zur Lösung
Ersetze x und y durch x' und y' mit $x + y = x' + y'$
so lange, bis $y' = 0$ gilt.

Eine gute Idee verallgemeinern

Erinnerung Wir kennen das schon vom Halbaddierer...



klar Das funktioniert auch für alle n Stellen parallel.



$$x'_3 \ x'_2 \ x'_1 \ x'_0 = s_3 \ s_2 \ s_1 \ s_0$$

$$\ddot{U} \ y'_3 \ y'_2 \ y'_1 \ y'_0 = c_3 \ c_2 \ c_1 \ c_0 \ 0$$

Fortschritt? in y hinten „neue“ 0

Fink also nach $\leq n$ Takten $y = 0$

Noch offene Fragen

Was ist mit dem Ü?

klar potenziell kann in jedem Takt vorne ein Überlauf entstehen

Also bis zu n Überläufe speichern?

zum Glück nein

Wir wissen höchstens 1 Überlauf insgesamt

Wann ist die Rechnung fertig?

klar Rechnung fertig $\Leftrightarrow y = 0$

also „done“ $d = \overline{y_0 \vee y_1 \vee \dots \vee y_{n-1}} = \neg \bigvee_{i=0}^{n-1} y_i$

jetzt unsere Ideen zusammensetzen

Das von Neumann-Addierwerk

John von Neumann (1903–1957)

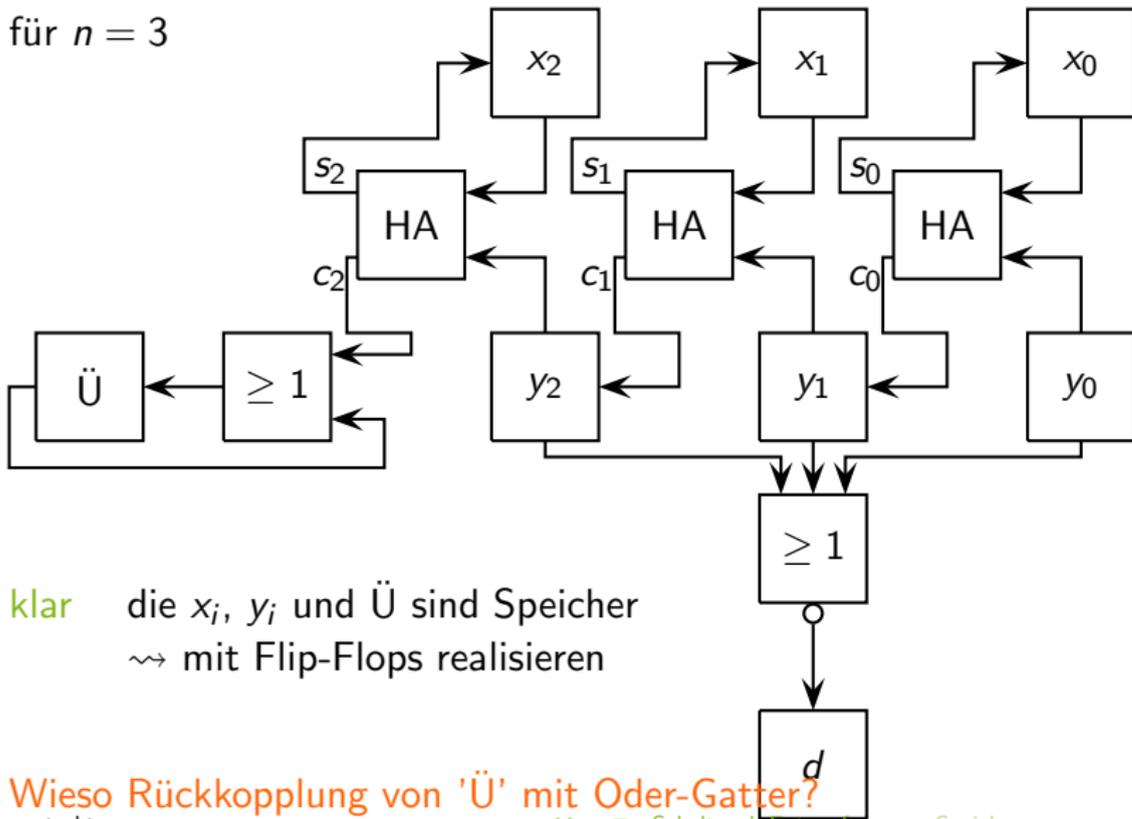
Ideen

- ▶ Schaltwerk bekommt direkt Summanden komplett
- ▶ Eingabe ε wird erlaubt
- ▶ Rechenende-Zeichen signalisiert Ende der Rechnung
- ▶ in jedem Takt ersetze x, y durch x', y' mit $x + y = x' + y'$
- ▶ Ersetzung stellenweise mit Halbaddierern

Hoffnung oft schnell

Schematische Darstellung von Neumann-Addierwerk

für $n = 3$



Analyse des von Neumann-Addierwerks

Ist das Addierwerk denn jetzt wirklich schnell?

erstmal Welche Eingaben dauern lange?

1. Versuch viele Überträge

exemplarisch für $n = 6$ $111111 + 111111$

Ü	x_5	x_4	x_3	x_2	x_1	x_0		Ü	x_5	x_4	x_3	x_2	x_1	x_0
0	1	1	1	1	1	1		1	0	0	0	0	0	0
	1	1	1	1	1	1	↔		1	1	1	1	1	0
$y_5 \quad y_4 \quad y_3 \quad y_2 \quad y_1 \quad y_0$								$y_5 \quad y_4 \quad y_3 \quad y_2 \quad y_1 \quad y_0$						

Ü	x_5	x_4	x_3	x_2	x_1	x_0
1	1	1	1	1	1	0
	0	0	0	0	0	0
$y_5 \quad y_4 \quad y_3 \quad y_2 \quad y_1 \quad y_0$						

also nach nur zwei Takten fertig schnell

Erinnerung bzgl. Übertrag schwierig: $0 + 1, 1 + 0$

Analyse des von Neumann-Addierwerks II

2. Versuch lauter „W“-Stellen

exemplarisch für $n = 6$ 000000 + 111111

Ü	x_5	x_4	x_3	x_2	x_1	x_0	Ü	x_5	x_4	x_3	x_2	x_1	x_0
0	0	0	0	0	0	0	0	1	1	1	1	1	1
	1	1	1	1	1	1		0	0	0	0	0	0
	y_5	y_4	y_3	y_2	y_1	y_0		y_5	y_4	y_3	y_2	y_1	y_0

~>

also nach nur einem Takt fertig sehr schnell

klar 111111 + 000000 wäre sofort fertig

Beobachtung Überträge mit langen Wegen dauern lange

Was ist die “worst case” Eingabe?

Worst-Case-Eingabe für das von Neumann-Addierwerk

Ü	x ₅	x ₄	x ₃	x ₂	x ₁	x ₀
0	1	1	1	1	1	1
	0	0	0	0	0	1

→

Ü	x ₅	x ₄	x ₃	x ₂	x ₁	x ₀
0	1	1	1	1	1	0
	0	0	0	0	1	0

	y ₅	y ₄	y ₃	y ₂	y ₁	y ₀
Ü	x ₅	x ₄	x ₃	x ₂	x ₁	x ₀
0	1	1	1	1	0	0
	0	0	0	1	0	0

→

	y ₅	y ₄	y ₃	y ₂	y ₁	y ₀
Ü	x ₅	x ₄	x ₃	x ₂	x ₁	x ₀
0	1	1	1	0	0	0
	0	0	1	0	0	0

	y ₅	y ₄	y ₃	y ₂	y ₁	y ₀
Ü	x ₅	x ₄	x ₃	x ₂	x ₁	x ₀
0	1	1	0	0	0	0
	0	1	0	0	0	0

→

	y ₅	y ₄	y ₃	y ₂	y ₁	y ₀
Ü	x ₅	x ₄	x ₃	x ₂	x ₁	x ₀
0	1	0	0	0	0	0
	1	0	0	0	0	0

	y ₅	y ₄	y ₃	y ₂	y ₁	y ₀
Ü	x ₅	x ₄	x ₃	x ₂	x ₁	x ₀
1	0	0	0	0	0	0
	0	0	0	0	0	0

also extrem langsam

Analyse des von Neumann-Addierwerks

gesehen $111 \dots 111 + 000 \dots 000 \rightsquigarrow 0$ Takte
extrem schnell

gesehen $111 \dots 111 + 000 \dots 001 \rightsquigarrow n$ Takte
extrem langsam

Ist das von Neumann-Addierwerk schnell oder langsam?

Best Case schnell (0 Takte)

Worst Case langsam (n Takte)

0 Takte – Glücklicher Zufall? n Takte – Seltenes Unglück?
Was ist typisch?

Antwort Average-Case-Analyse
durchschnittliche Rechenzeit

Problem Welche Verteilung über Eingaben nehmen wir an?

Average-Case-Analyse

Average-Case-Rechenzeit durchschnittliche Rechenzeit
bei Gewichtung der Eingaben
nach ihrer W'keit bei gegebener
W'keitsverteilung über den Eingaben

Problem Welche W'keitsverteilung ist angemessen?

meist betrachtet Gleichverteilung

Vorsicht reale Daten fast nie gleichverteilt

trotzdem hier **Annahme Gleichverteilung**

Gleichverteilung bedeutet

- ▶ alle Eingaben gleichwahrscheinlich
- ▶ an jeder Position 0 und 1 mit W'keit $1/2$
- ▶ alle Positionen unabhängig

Average-Case-Analyse von Neumann-Addierwerk

Start: "Typische" Eingabe der Länge $2n$ bei Gleichverteilung:
je 50% Null- und Eins-Stellen (d.h. $n/2$ Einsen pro Summand)

Verarbeitung: nach 1 Takt ...

Überträge / y : ex. Eins an y_{i+1} , wenn vorher Eins sowohl an x_i
als auch y_i (d.h. mit Wahrscheinlichkeit $1/4$)

⇒ Erwarten nach 1 Takt $n/4$ Einsen in y

Ergebnis / x : ex. Eins in x_i , wenn vorher 01 oder 10 in x_i, y_i
(d.h. in 50% der Fälle)

⇒ Erwarten nach 1 Takt *weiterhin* $n/2$ Einsen in x

⇒ **Erwarten:** Anzahl Einsen in y halbiert sich je Takt (in x
unverändert)

Fazit: Erwarten Rechenende nach $\log_2 n$ Takten

also Das von Neumann-Addierwerk ist **im Durchschnitt schnell.**

Moore-Automat zum von Neumann-Addierwerk

Ziel Beschreibung eines Moore-Automaten zum von Neumann-Addierwerk zur Addition von zwei n -Bit-Zahlen

Erinnerung Erweiterung des Automatenmodells um ε -Eingaben im folgenden Sinn

- ▶ bei Eingabe von $x y$ wird aktuelle Rechnung unterbrochen und mit Berechnung von $x + y$ begonnen
- ▶ bei Eingabe von ε wird aktuelle Rechnung fortgesetzt
- ▶ Ausgabe ist „–“, falls Rechnung noch nicht beendet
- ▶ Ausgabe ist Summe der Eingabezahlen, wenn fertig berechnet

Komponenten des Moore-Automaten

▶ **Eingabealphabet**

alle möglichen Paare von n -Bit-Zahlen, außerdem ε
 $\Sigma := \{0, 1\}^{2n} \cup \{\varepsilon\}$

▶ **Ausgabealphabet**

alle möglichen Ergebnisse der Addition, außerdem $-$
 $\Delta := \{0, 1\}^{n+1} \cup \{-\}$

▶ **Zustandsmenge**

alle möglichen Zwischenergebnisse einschließlich Übertrag
 $Q := \{0, 1\}^{2n+1}$

▶ **Startzustand**

willkürlich $q_0 = \underbrace{00 \dots 00}_{2n+1 \text{ Nullen}} = 0^{2n+1}$

Zustandsüberföhrungsfunktion δ

$$\Sigma = \{0, 1\}^{2n} \cup \{\varepsilon\}, \Delta = \{0, 1\}^{n+1} \cup \{-\}, Q = \{0, 1\}^{2n+1}, q_0 = 0^{2n+1}$$

1. Fall Eingabe $w = x y \neq \varepsilon$

$$\delta(q, w) := 0 w = 0 x y$$

2. Fall Eingabe $w = \varepsilon$

Notation aktueller Zustand $q = \ddot{u} x y$

$$\delta(q, \varepsilon) := q' = \ddot{u}' x' y' = \ddot{u}' x'_{n-1} x'_{n-2} \cdots x'_0 y'_{n-1} y'_{n-2} \cdots y'_0$$

mit

- ▶ $y'_0 := 0$
- ▶ $y'_i := x_{i-1} \wedge y_{i-1}$ für $i \in \{1, 2, \dots, n-1\}$
- ▶ $x'_i := x_i \oplus y_i$ für $i \in \{0, 1, \dots, n-1\}$
- ▶ $\ddot{u}' := \ddot{u} \vee (x_{n-1} \wedge y_{n-1})$

Ausgabefunktion λ

$$\Sigma = \{0, 1\}^{2n} \cup \{\varepsilon\}, \Delta = \{0, 1\}^{n+1} \cup \{-\}, Q = \{0, 1\}^{2n+1}, q_0 = 0^{2n+1}$$

Notation neuer Zustand $\delta(q, w) = q' = \ddot{u}' x' y'$

1. Fall $y' \neq 0^n$

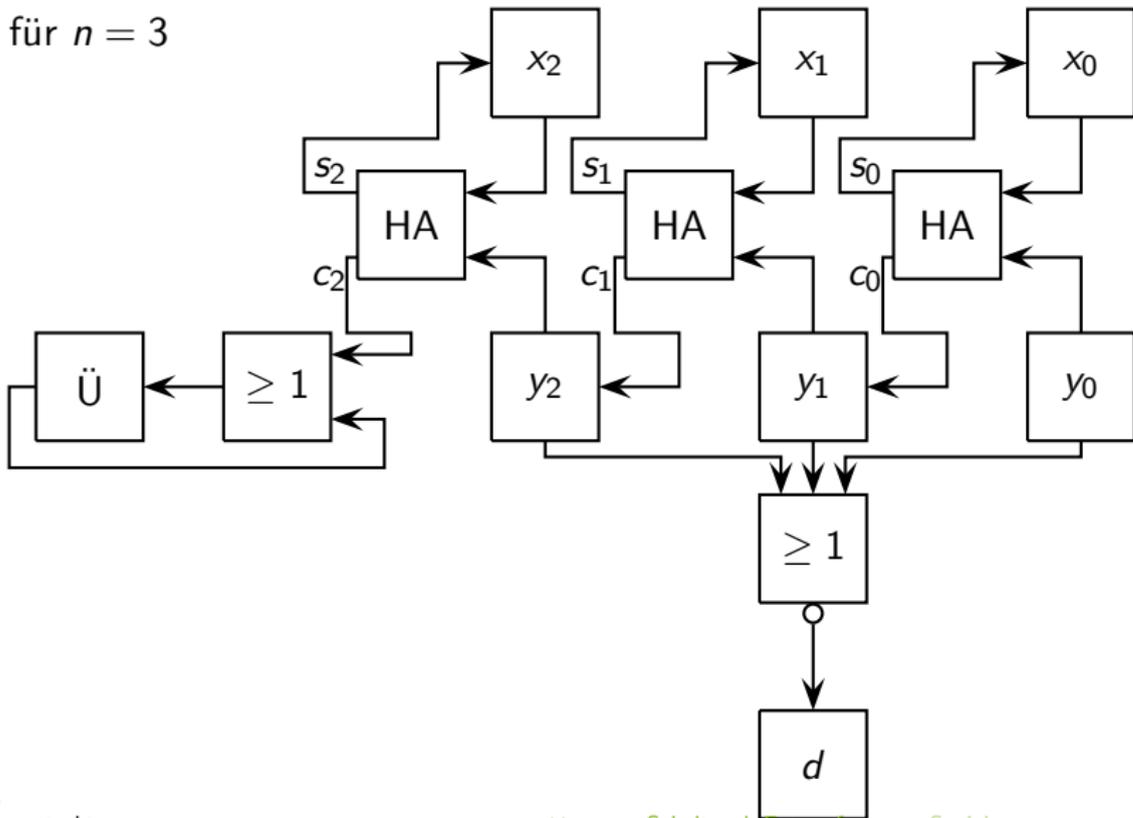
$$\lambda(\delta(q, w)) := -$$

2. Fall $y' = 0^n$

$$\lambda(\delta(q, w)) := \ddot{u}' x'$$

Schematische Darstellung von Neumann-Addierwerk

für $n = 3$



Speicher

Speicher

Erinnerung Wir können in einem Flip-Flop ein Bit speichern.

klar 1-Bit-Speicher reichen uns nicht.

klar Wir können in k Flips-Flops k Bits speichern.

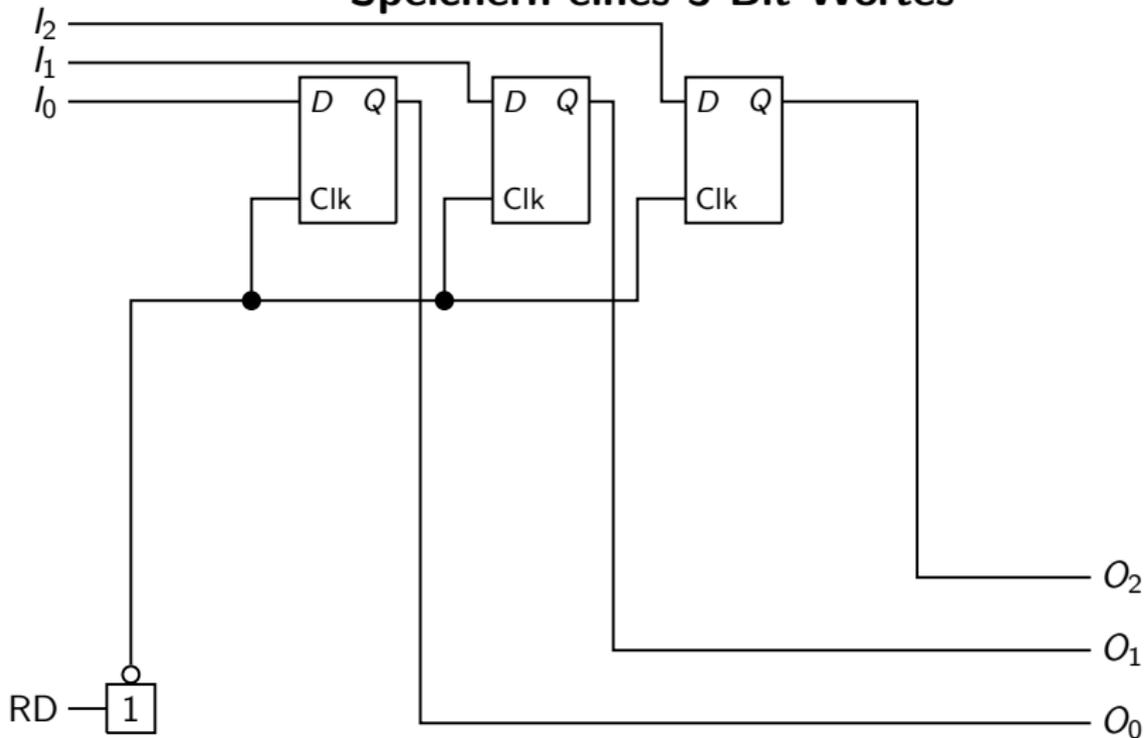
Wie organisieren wir das so, dass der Zugriff bequem ist?

exemplarisch Speicher für 3-Bit-Wörter

Warum 3? passt **bequem** auf eine Folie

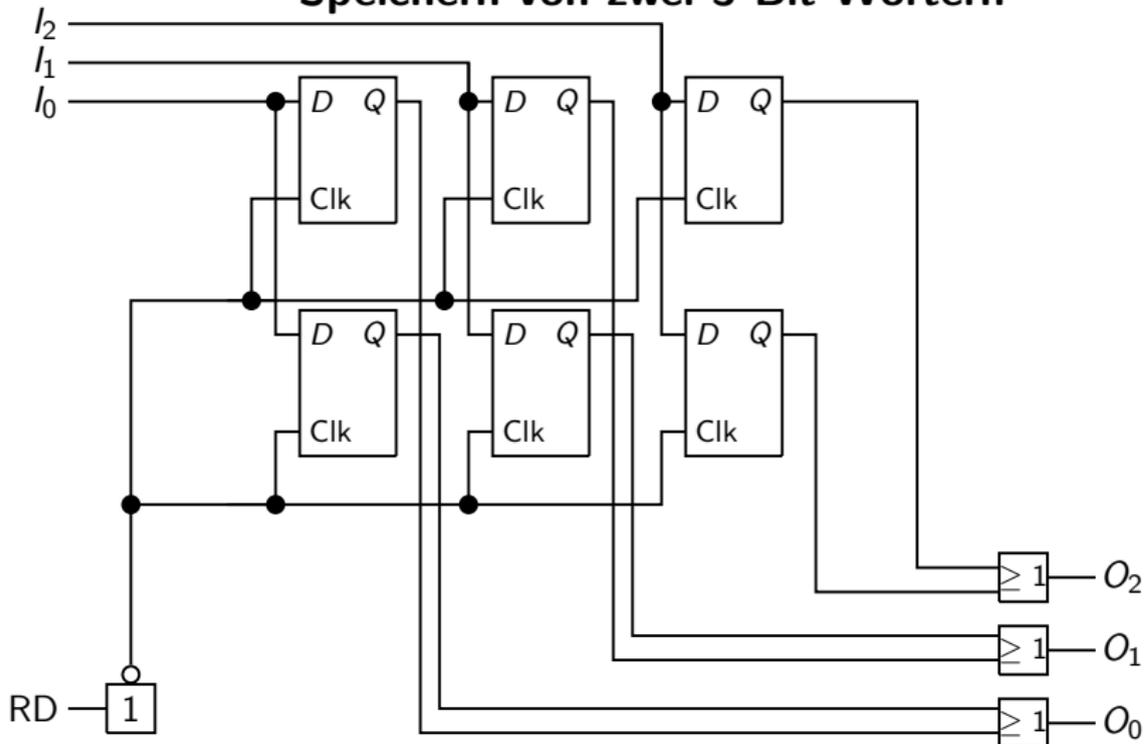
Anmerkung Auch 3-Bit-Speicher reicht in der Praxis nicht aus.

Speichern eines 3-Bit-Wortes



Wie können wir mehr als nur ein Wort speichern?

Speichern von zwei 3-Bit-Wörtern



Beobachtung Schaltung funktioniert so nicht

Speichern von zwei 3-Bit-Wörtern

klar Die Speicherwörter müssen getrennt ansprechbar sein.

also Wir wollen ein Wort wahlfrei adressieren.

klar Wir brauchen eine Adressleitung A_0 .

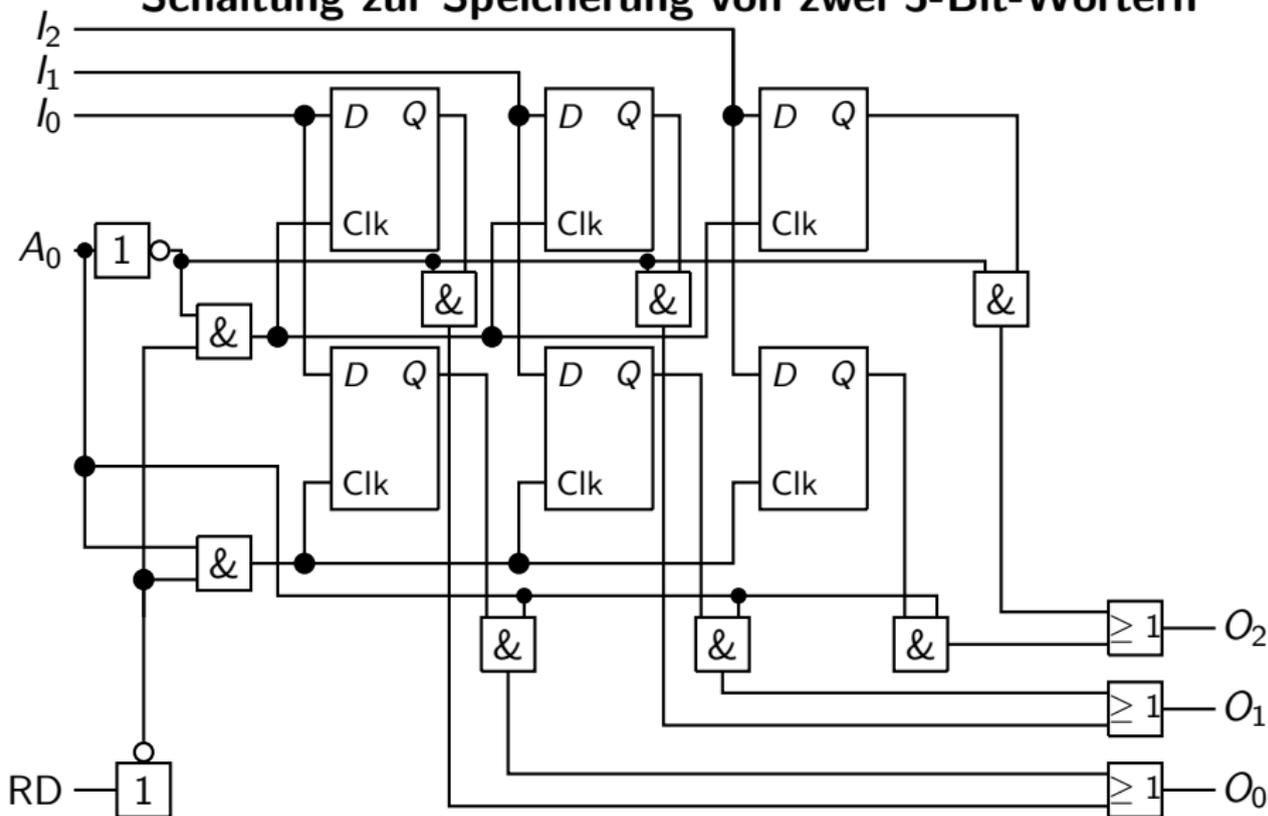
Interpretation

- ▶ $A_0 = 0$ Wort w_0 adressiert zum Lesen oder Schreiben
- ▶ $A_0 = 1$ Wort w_1 adressiert zum Lesen oder Schreiben

wie bisher RD bestimmt, ob gelesen oder geschrieben wird

- ▶ $RD = 1$ Speicherinhalt lesen
- ▶ $RD = 0$ Speicherinhalt schreiben

Schaltung zur Speicherung von zwei 3-Bit-Wörtern



Speichererweiterungen

angenommen Schaltung zur Speicherung von zwei 3-Bit-Wörtern im Einsatz

angenommen Speicher reicht im Betrieb nicht aus

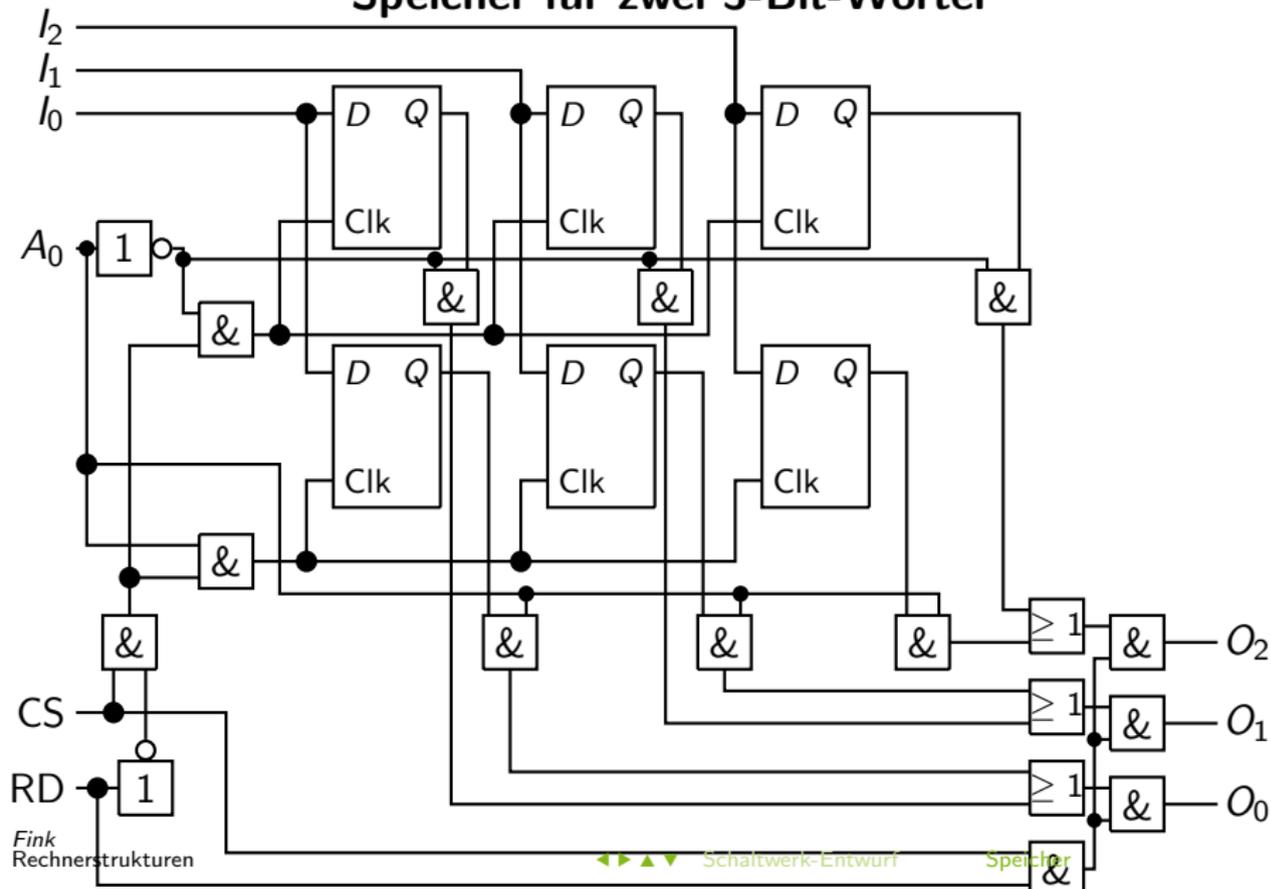
Wunsch Speichererweiterung

Beachte Speicher**erweiterung** bedeutet „weiteren Speicherbaustein (gleicher Art) hinzufügen“, **nicht** „vorhandenen Speicherbaustein durch größeren Speicherbaustein ersetzen“

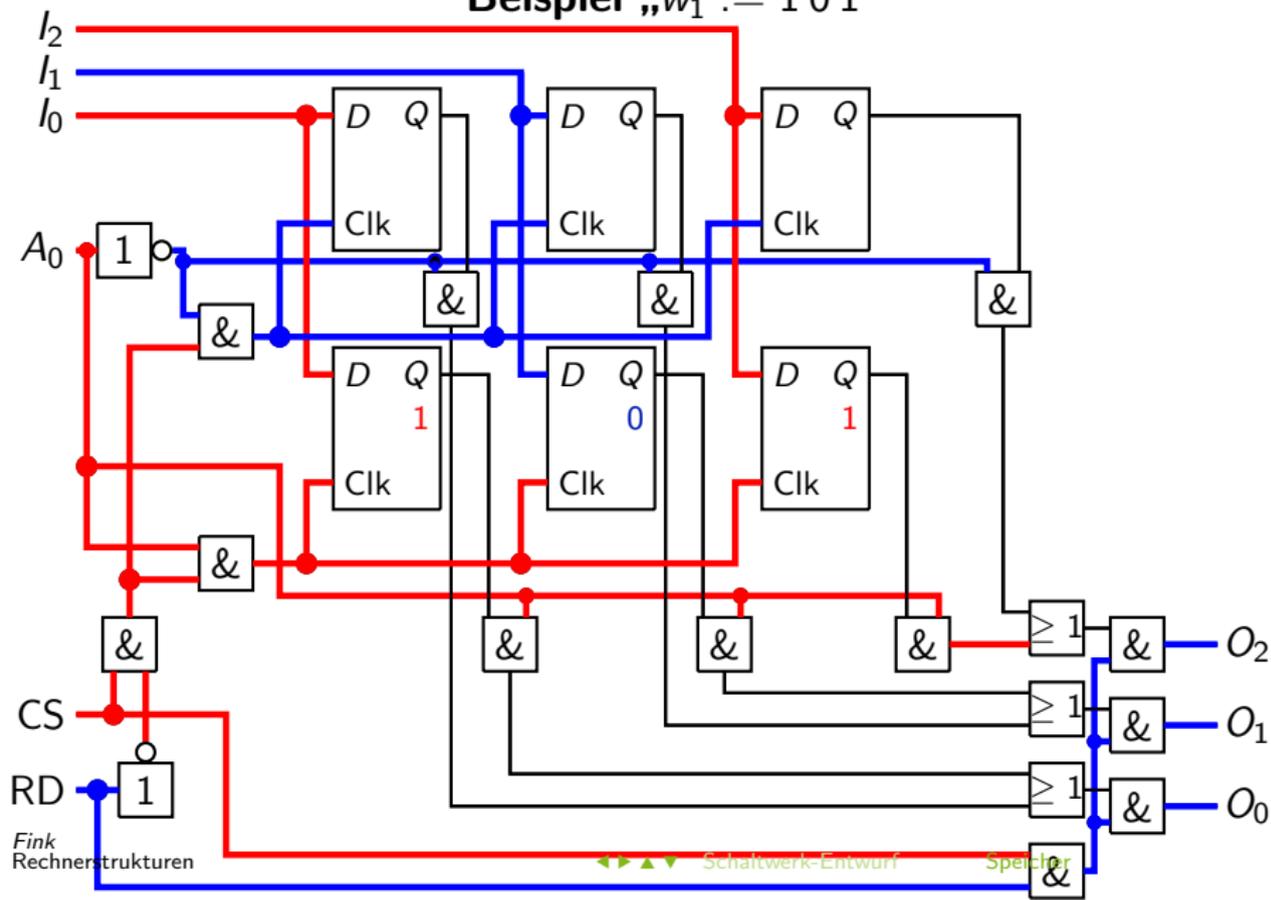
Wie können wir das unterstützen?

Idee zusätzliche Eingabe „Chip Selected“ (CS)

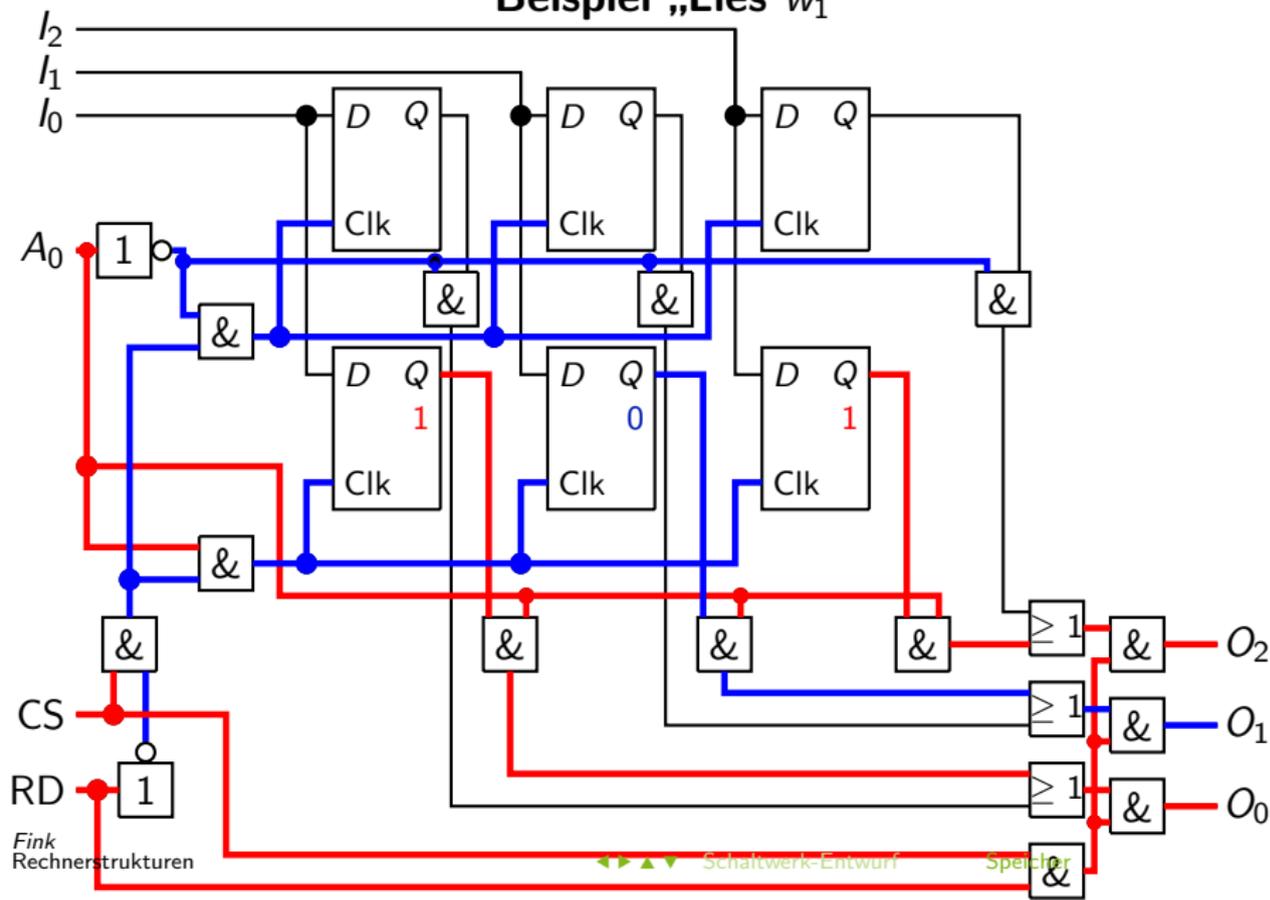
Speicher für zwei 3-Bit-Wörter



Beispiel „ $w_1 := 101$ “



Beispiel „Lies w_1 “



Realistischere Speichergrößen

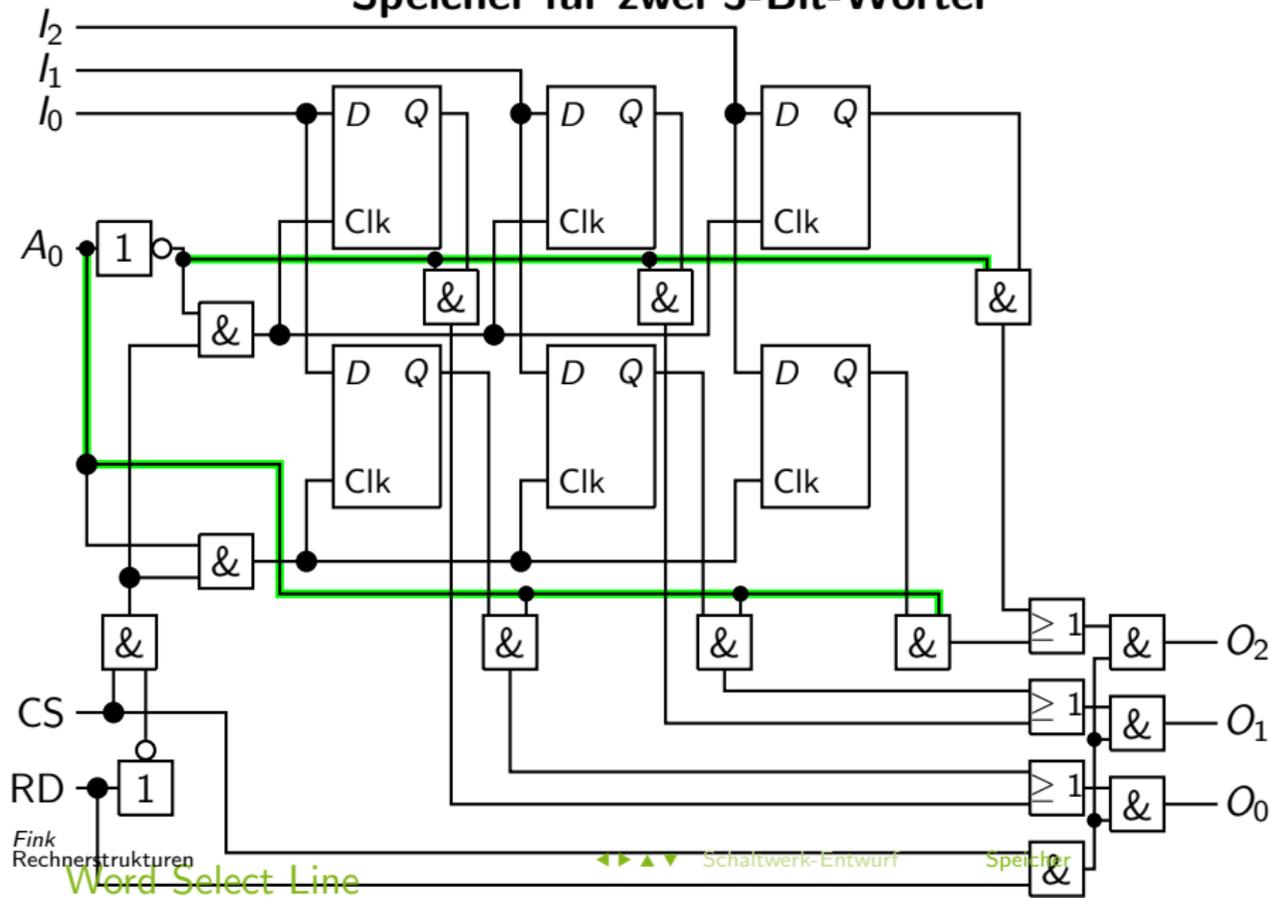
Beobachtung Speichergröße „2 Wörter“ ist nicht realistisch
auch nicht bei Benutzung einiger Bausteine

Wie kommen wir zu realistischen Speichergrößen?

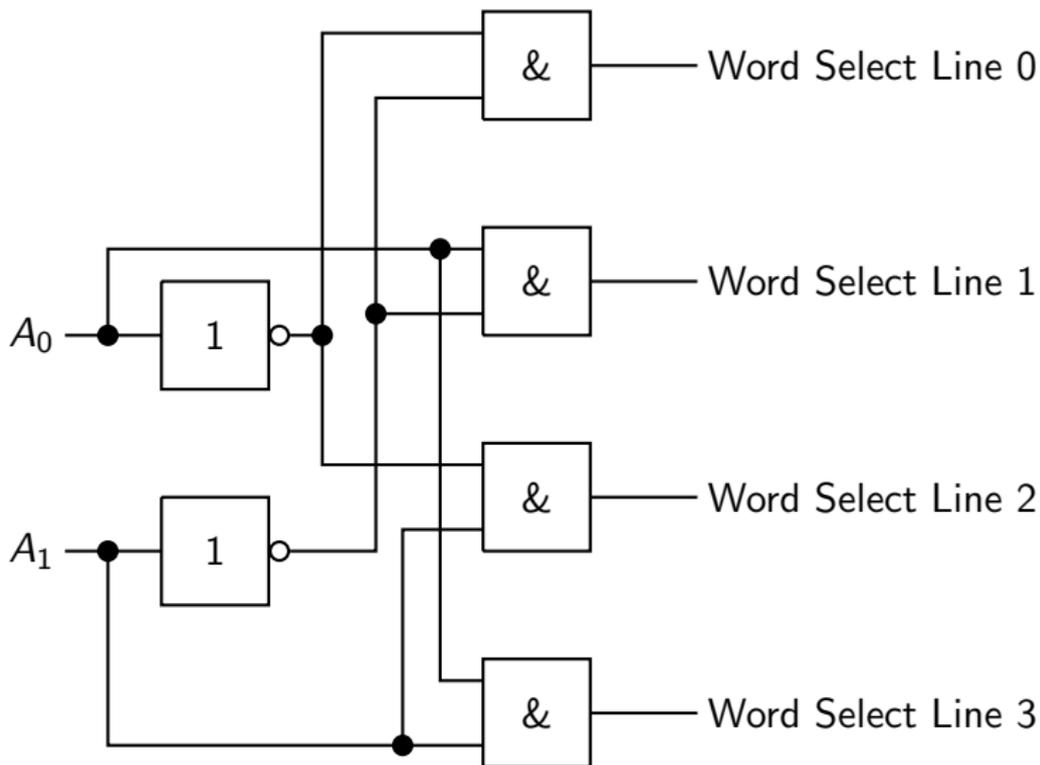
klar größere Wortlänge funktioniert im Prinzip gleich

offen Wie verallgemeinern wir auf > 2 Wörter?

Speicher für zwei 3-Bit-Wörter



Word Select Lines für vier Wörter



Speicher für viele Wörter

allgemein 2^k Wörter speichern

klar k Adressleitungen benötigt

zunächst formale Beschreibung als boolesche Funktion

$$f: \{0, 1\}^k \rightarrow \{0, 1\}^{2^k}$$

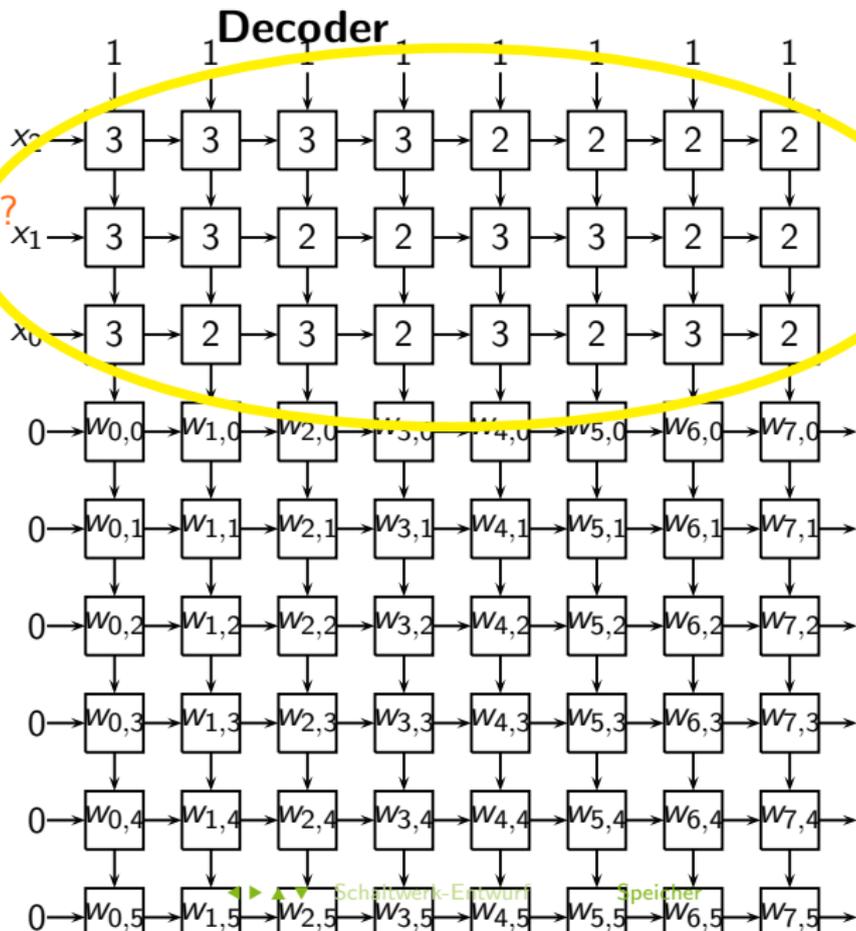
$$\text{mit } f(A_0, A_1, \dots, A_{k-1}) = (s_0, s_1, \dots, s_{2^k-1})$$

$$\text{mit } s_i = \begin{cases} 1 & \text{falls } (A_{k-1} A_{k-2} \cdots A_0)_2 = i \\ 0 & \text{sonst} \end{cases}$$

Name der Funktion Decoder
genauer $k \times 2^k$ -Decoder

Nachdenken
Kommt uns das
nicht bekannt vor?

Beobachtung
Und-Teil
realisiert
Decoder



Demultiplexer

Erinnerung $\text{MUX}_d(y_1, \dots, y_d, x_0, x_1, \dots, x_{2^d-1}) = x_{(y_1 y_2 \dots y_d)_2}$

Erinnerung Decoder als boolesche Funktion
 $\text{DECODE}_d: \{0, 1\}^d \rightarrow \{0, 1\}^{2^d}$ mit
 $\text{DECODE}_d(A_0, A_1, \dots, A_{d-1}) = (s_0, s_1, \dots, s_{2^d-1})$ mit

$$s_i = \begin{cases} 1 & \text{falls } (A_{d-1} A_{d-2} \dots A_0)_2 = i \\ 0 & \text{sonst} \end{cases}$$

Demultiplexer $\text{DEMUX}_D: \{0, 1\}^{d+1} \rightarrow \{0, 1\}^{2^d}$ mit

$$\begin{aligned} &\text{DEMUX}_D(x, A_0, A_1, \dots, A_{d-1}) \\ &= (x \wedge \text{DECODE}_d(A_0, A_1, \dots, A_{d-1}), \\ &\quad x \wedge \text{DECODE}_d(A_0, A_1, \dots, A_{d-1}), \dots, \\ &\quad x \wedge \text{DECODE}_d(A_0, A_1, \dots, A_{d-1})) \end{aligned}$$

Speicher

Realisiert man Speicher wirklich so?

... nicht für Hauptspeicher von Rechnern (kompakter als DRAM [dynamic random access memory] möglich)

tatsächlich typische SRAM-Realisierung (SRAM = static RAM)

Eigenschaften

- ▶ dauerhaft
- ▶ schnell
- ▶ Zugriffszeit von Daten unabhängig
- ▶ teuer
- ▶ hoher Stromverbrauch

Bemerkung typisch für Cache- oder Register-Speicher

Cache

$$128 \text{ K} \times 8$$

$$= 128 \cdot 1024 \times 8$$

$$= 2^{17} \times 8$$

darum 17 Adressleitungen A_0 – A_{16}

Chip Enable

bei uns CS

Write Enable

bei uns $\overline{RD} = 0$

Output Enable

bei uns $\overline{RD} = 1$

Beobachtung

$$128 \cdot 1024 \cdot 8$$

$$= 1\,048\,576$$

Flip-Flops

SRAM

FEATURES

- Fast Address Access Times : 10/12/15ns
- Single 3.3V $\pm 0.3V$ power supply
- Center power/ground pin configuration
- Low Power Consumption : 110/105/100mA
- TTL I/O compatible
- 2.0V data retention mode
- Automatic power-down when deselected
- Available packages :
 - 32-pin 300 mil and 400 mil SOJ
 - 32-pin TSOP 8x13.4mm and 8x20mm
 - 36-Ball CSP (8x10mm)

PART NUMBER EXAMPLES

	PACKAGE	SPEED
T14L1024N-10J	SOJ 300mil	10ns
T14L1024N-10W	SOJ 400 mil	10ns
T14L1024N-10P	TSOP 8x13.4mm	10ns
T14L1024N-10H	TSOP 8x20mm	10ns
T14L1024N-10C	36-Ball CSP	10ns

128K X 8 HIGH SPEED CMOS STATIC RAM

GENERAL DESCRIPTION

The T14L1024N is a one-megabit density, fast static random access memory organized as 131,072 words by 8 bits. It is designed for use in high performance memory applications such as main memory storage and high speed communication buffers. Fabricated using high performance CMOS technology, access times down to 10ns are achieved.

BLOCK DIAGRAM

