

Aufgabenblatt 8 (Theorie)

(11 Punkte)

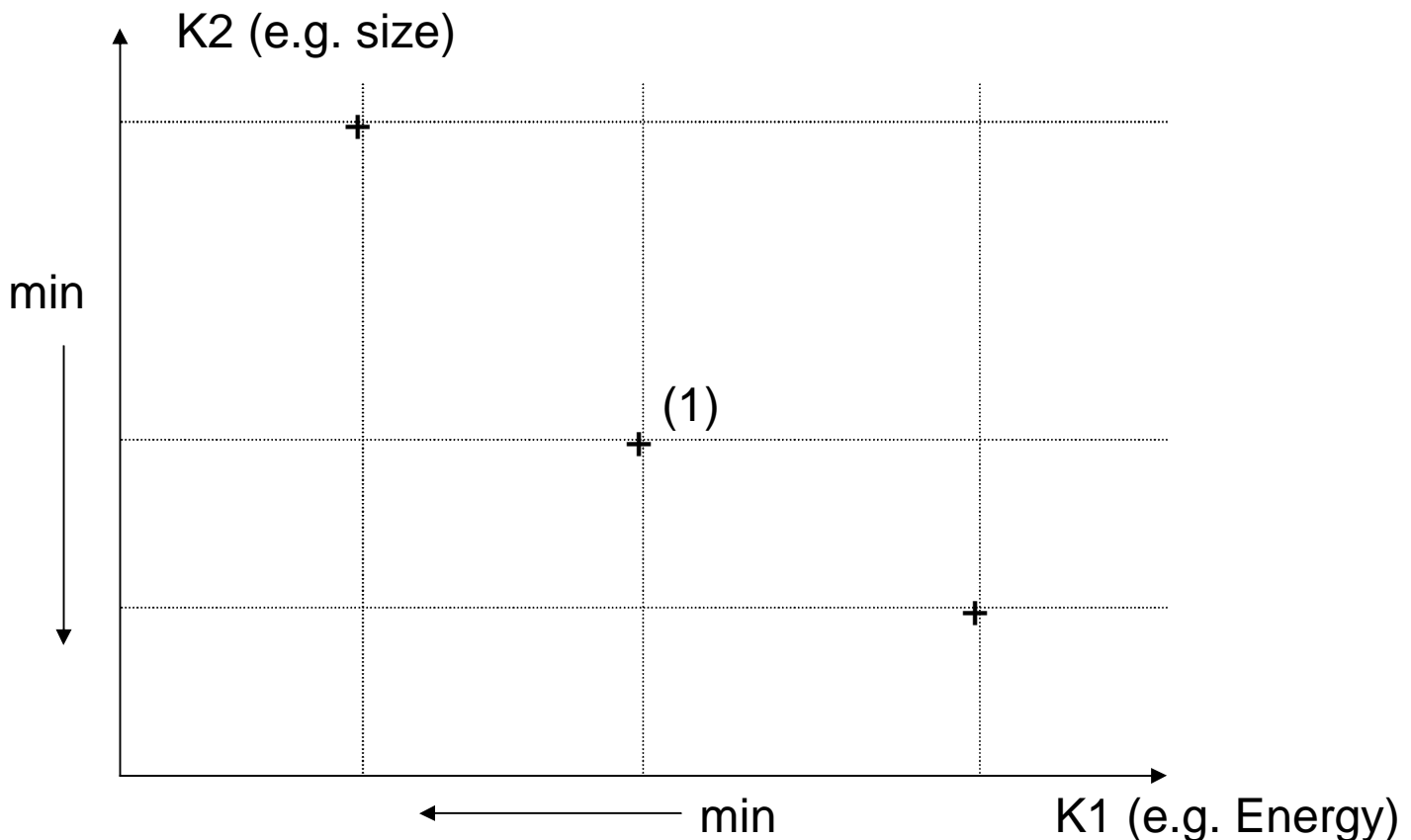
Hinweis: Abgabe (einzeln oder in Zweiergruppen) bis zum 10.12.2018 um 10:00 durch Einwurf in den Briefkasten (Erdgeschoss OH16, gegenüber von Raum E16). Eine Abgabe per E-Mail ist *nicht* möglich. Besprechung: 12.-14.12.2018.

1 Pareto-Optimalität (1 Punkt)

Erklären Sie in Ihren eigenen Worten, was der Ausdruck *Pareto-optimal* bedeutet.

2 Pareto-Optimierung (3 Punkte)

Das folgende Diagramm spiegelt die Evaluation von Designs unter der Berücksichtigung mehrerer Kriterien wider. Nehmen Sie an, dass die beiden Kriterien minimiert werden. Markieren Sie die Region, die von Design (1) dominiert wird (die Region, in der die Designs „schlechter“ sind als Design (1)). Kennzeichnen Sie außerdem die Region, in der Designs das Design (1) dominieren würden (also die Region, in der die Designs „besser“ sind als Design (1)).



3 ILP (3 Punkte)

Der Weihnachtsmann möchte zusätzlich zu den zu verteilenden Geschenken noch Proviant in seinen Schlitten laden. Zur Auswahl stehen Pfefferkuchen, Schokolade und Spekulatius, wobei ein Pfefferkuchen doppelt so sättigend ist wie ein Spekulatius, eine Tafel Schokolade jedoch wiederum dreimal so sättigend ist wie ein Pfefferkuchen. Ein Spekulatius wiegt etwa 10g, ein Pfefferkuchen etwa 25g und eine Tafel Schokolade etwa 100g. Formulieren Sie ein ILP, um die Proviantzusammensetzung zu bestimmen, die für den Weihnachtsmann am sättigendsten ist. Die gesamte Ladung Proviant darf dabei jedoch ein Gewicht von 10kg nicht übersteigen.

4 ILP (4 Punkte)

Nehmen Sie an, dass ein Task entweder komplett auf einem FPGA oder komplett auf dem Mikroprozessor ausgeführt werden kann. Nehmen Sie außerdem an, dass es keine Abhängigkeit zwischen den Tasks gibt. Wenn ein Task τ_i auf dem FPGA ausgeführt wird, benötigt er dafür B_i konfigurierbare logische Blöcke (configurable logical blocks, CLB) und hat eine Ausführungszeit von F_i . Wenn der Task auf dem Mikroprozessor ausgeführt wird, ist seine Ausführungszeit C_i . Die Tasks die auf dem Mikroprozessor zugeordnet werden, können nur sequentiell ausgeführt werden, während die dem FPGA zugeordneten Tasks komplett parallel ausgeführt werden können. Es gibt N Tasks mit $F_i < D$ für jeden Task τ_i ($i=1,2,\dots,N$).

Was ist die minimale Größe des FPGAs in Bezug auf die Anzahl der konfigurierbaren logischen Blöcke (CLBs) um alle Tasks vor einer Deadline D zu beenden, wenn angenommen wird das alle Tasks zum Zeitpunkt 0 ankommen und damit ausführbar sind?

Formulieren Sie dieses Hardware-Software-Partitionierungs-Problem als ganzzahliges lineares Programm (integer linear programming, ILP). Sie sollen ihr formuliertes ILP erklären. Es wird **NICHT** von Ihnen erwartet, dass Sie das ILP lösen.