

Rechnerstrukturen, Teil 2

Vorlesung 4 SWS WS 18/19

2.6 Prozessortrends (Erweiterung von 2.3)

Prof. Dr. Jian-Jia Chen

Fakultät für Informatik – Technische Universität Dortmund

jian-jia.chen@cs.uni-dortmund.de

<http://ls12-www.cs.tu-dortmund.de>

Alternative Architekturen

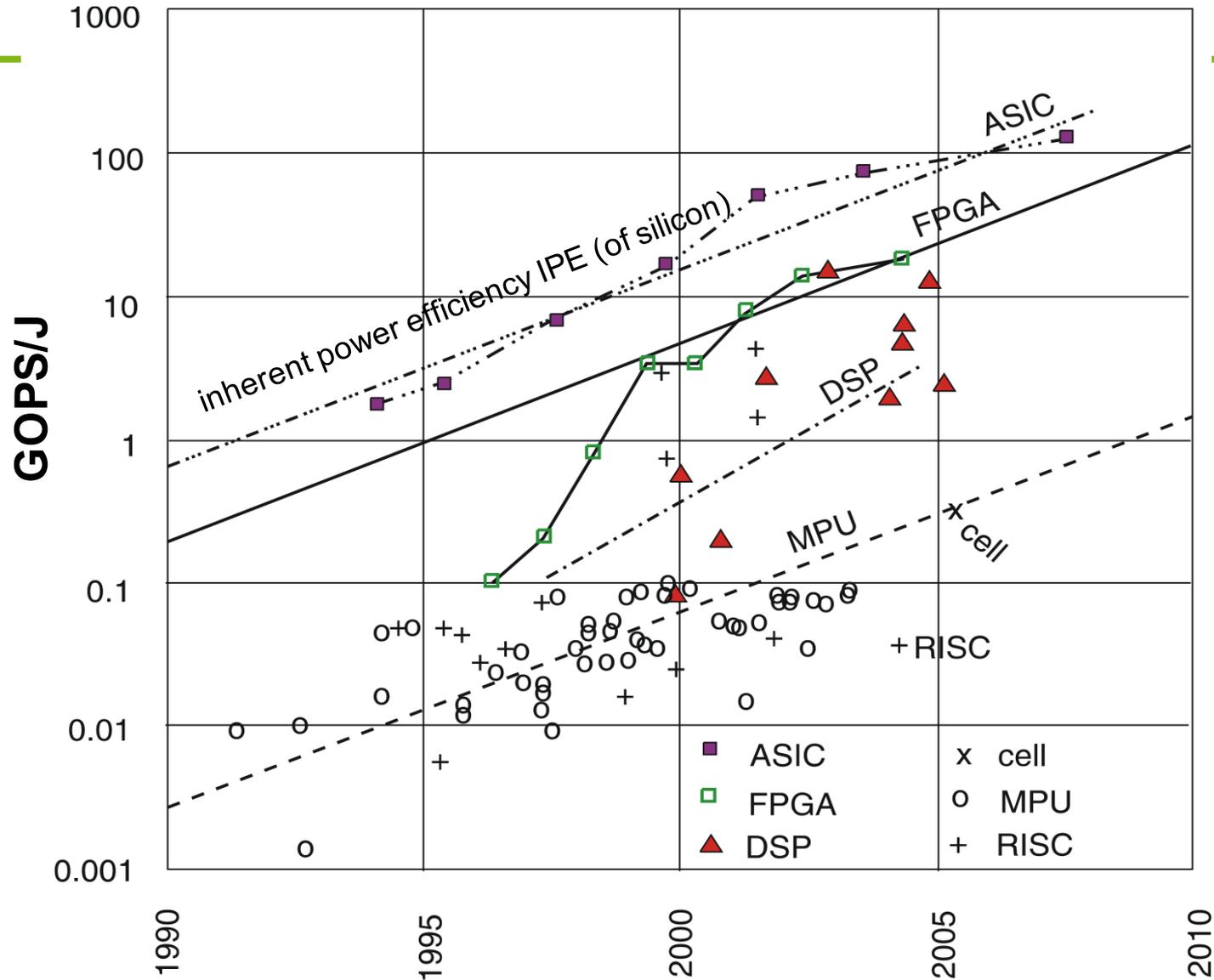
- **DSP**: Digitale Signalprozessoren; Prozessoren, die auf die Verarbeitung digitaler Signale (Sprache, Video) optimiert sind
- **VLIW**: *very long instruction word* –Prozessoren; Prozessoren, die mit breiten Paketen von Befehlen mehrere Befehle gleichzeitig starten können
- **ASIP**: *application specific instruction set processors*; Prozessoren, die für bestimmte Anwendungen (z.B. MPEG) optimiert sind
- **FPGA**: *field programmable gate array*; Schaltung, deren Verhalten man durch Programmierung verändern kann.
- **ASIC**: *application specific integrated circuit*; speziell für eine Anwendung entwickelter integrierter Schaltkreis

Notwendigkeit der Betrachtung der Energieeffizienz

Ausführungsplattform	Relevant während Benutzung?		
	Stationär	Teilweise mobil	Mobil
	z.B. Fabrik	Auto	Sensor
Globale Erwärmung	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Kosten der Energie	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Steigerung der Performance	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Probleme der Kühlung	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Zu hohe Stromdichten, Metallwanderung	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Zuverlässigkeit	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Sehr begrenzt verfügbare Energie	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>



Trend hinsichtlich Energieeffizienz



Hohe Taktraten energetisch ineffizient

■ Rechnen mit niedrigen Taktraten energetisch effizienter:

Basisgleichungen

Leistung:

$$P \sim V_{DD}^2,$$

Laut IBM/Böblingen in der Praxis eher $P \sim V_{DD}^3$

Maximale Taktfrequenz:

$$f \sim V_{DD},$$

Energiebedarf für ein Programm:

$$E = P \times t, \text{ mit: } t = \text{Laufzeit (fest)}$$

Zeitbedarf für ein Programm:

$$t \sim 1/f$$

Änderungen durch Parallelverarbeitung, mit α Operationen pro Takt:

Taktfrequenz reduziert auf:

$$f' = f / \alpha,$$

Spannung kann reduziert werden auf:

$$V_{DD}' = V_{DD} / \alpha,$$

Leistung für Parallelausführung:

$$P^\circ = P / \alpha^2 \text{ pro Operation,}$$

Leistung für α Operationen pro Takt:

$$P' = \alpha \times P^\circ = P / \alpha,$$

Zeit zur Ausführung des Programms:

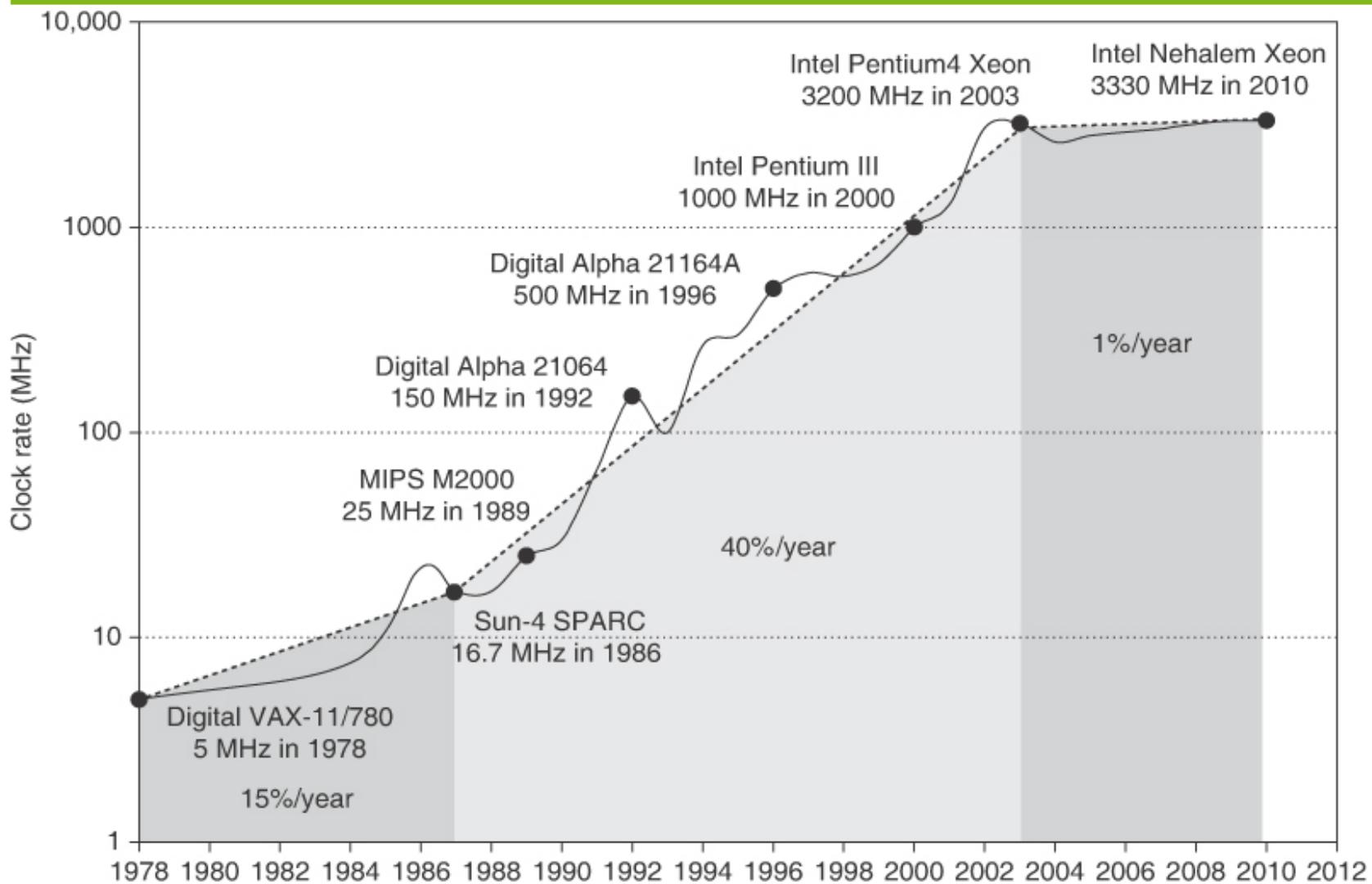
$$t' = t,$$

Energie zur Ausführung des Programms: $E' = P' \times t = E / \alpha$

Zeigt Tendenz,
aber diverse
grobe
Näherungen!

☞ Es ist effizienter, α Operationen parallel auszuführen
als diese sequentiell in einem α -ten Teil der Zeit auszuführen.

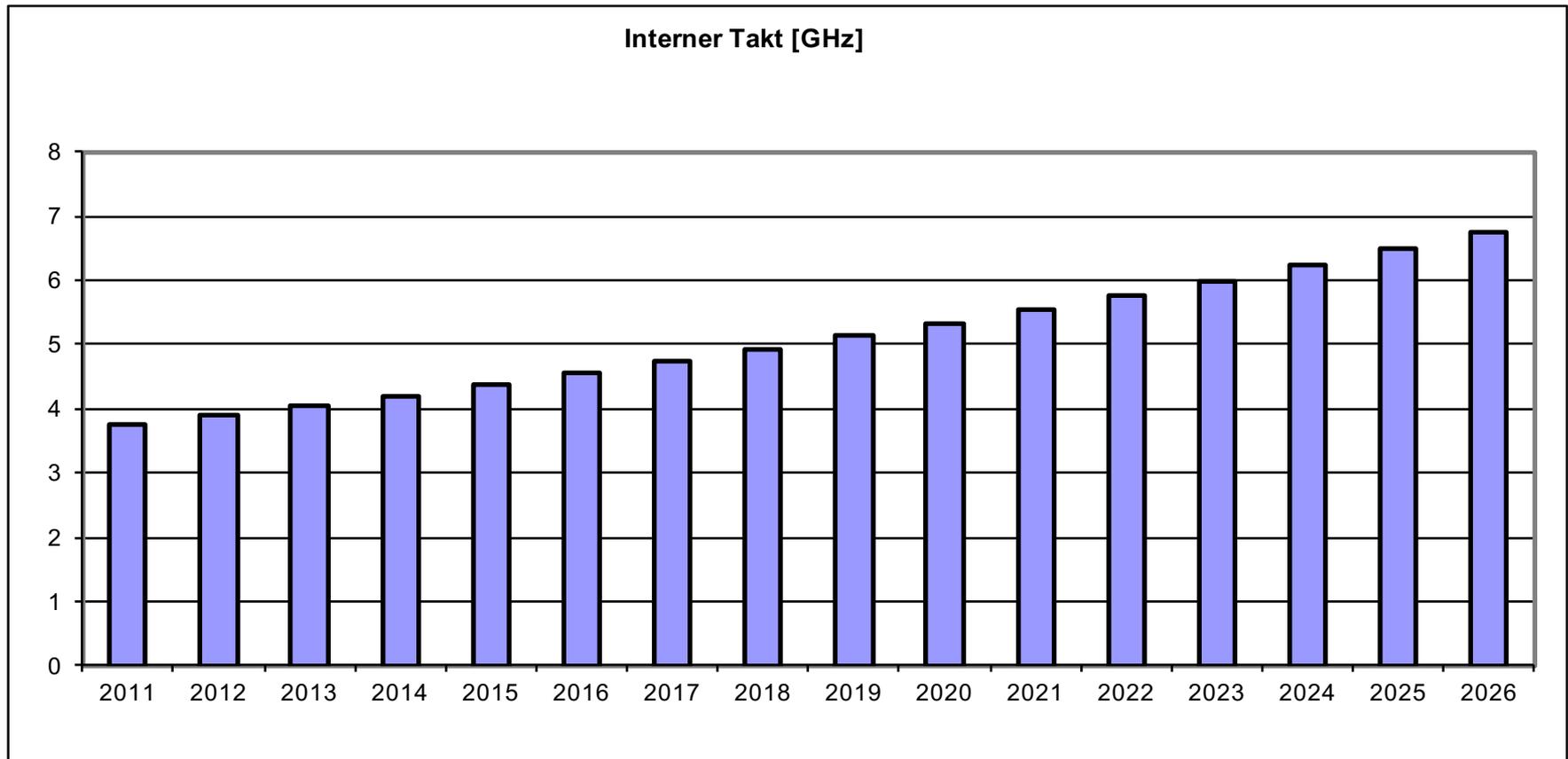
Entwicklung der Taktfrequenzen



Copyright © 2011, Elsevier Inc. All rights Reserved.

[Hennessy/Patterson: Computer Architecture, 5th ed., 2011]

Vorhersage der Taktfrequenzen

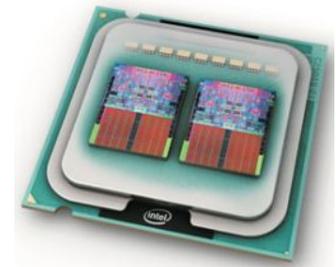


Steigerungsraten reduziert, nur noch moderate Steigerung.

[ITRS, 2011 Overall Roadmap Technology Characteristics (ORTC) Tables]

Trend zu Multiprozessor-Systemen

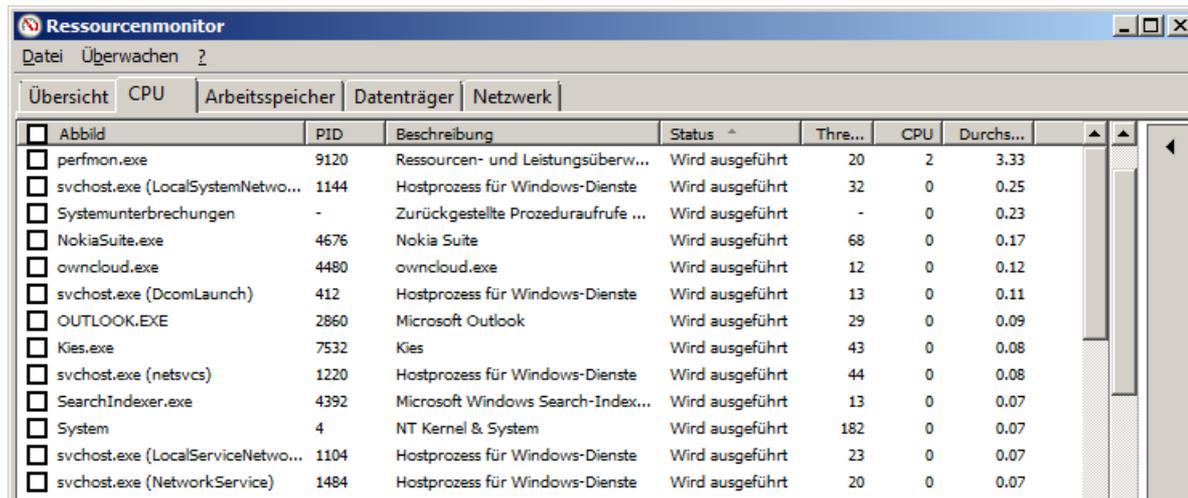
- Grenzen der effizienten Realisierbarkeit von Einzelprozessoren erreicht:
 - Höhere Taktraten nur schwer zu erreichen
 - **Höhere Taktraten nicht mehr energieeffizient (Kriterium Watt/Millionen Operationen)**
 - Sprungvorhersage wird immer komplizierter
 - ...
- Bei Multiprozessor-Systemen werden mehrere Prozessoren zusammengeschaltet:
 - Gleiche Multiprozessorsysteme:
 - ☞ homogene Multiprozessoren
 - Unterschiedliche Multiprozessorsysteme:
 - ☞ heterogene Multiprozessoren (**für Anwendung optimiert**)



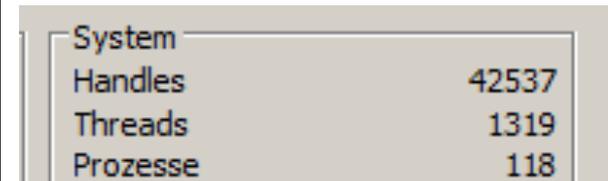
Einschub: *Multi-threading/multi-processing*

In realen Rechnern meist mehrere „Prozesse“ ausgeführt. Prozesse können wiederum aus **threads** (leichtgewichtige Prozesse) bestehen, den Einheiten der sequentiellen Ausführung.

Prozesse haben eigene, **threads** verfügen über gemeinsame Adressen



Abbild	PID	Beschreibung	Status	Thre...	CPU	Durchs...
<input type="checkbox"/> perfmon.exe	9120	Ressourcen- und Leistungsüberw...	Wird ausgeführt	20	2	3.33
<input type="checkbox"/> svchost.exe (LocalSystemNetwo...	1144	Hostprozess für Windows-Dienste	Wird ausgeführt	32	0	0.25
<input type="checkbox"/> Systemunterbrechungen	-	Zurückgestellte Prozeduraufrufe ...	Wird ausgeführt	-	0	0.23
<input type="checkbox"/> NokiaSuite.exe	4676	Nokia Suite	Wird ausgeführt	68	0	0.17
<input type="checkbox"/> owncloud.exe	4480	owncloud.exe	Wird ausgeführt	12	0	0.12
<input type="checkbox"/> svchost.exe (DcomLaunch)	412	Hostprozess für Windows-Dienste	Wird ausgeführt	13	0	0.11
<input type="checkbox"/> OUTLOOK.EXE	2860	Microsoft Outlook	Wird ausgeführt	29	0	0.09
<input type="checkbox"/> Kies.exe	7532	Kies	Wird ausgeführt	43	0	0.08
<input type="checkbox"/> svchost.exe (netsvcs)	1220	Hostprozess für Windows-Dienste	Wird ausgeführt	44	0	0.08
<input type="checkbox"/> SearchIndexer.exe	4392	Microsoft Windows Search-Index...	Wird ausgeführt	13	0	0.07
<input type="checkbox"/> System	4	NT Kernel & System	Wird ausgeführt	182	0	0.07
<input type="checkbox"/> svchost.exe (LocalServiceNetwo...	1104	Hostprozess für Windows-Dienste	Wird ausgeführt	23	0	0.07
<input type="checkbox"/> svchost.exe (NetworkService)	1484	Hostprozess für Windows-Dienste	Wird ausgeführt	20	0	0.07



System	
Handles	42537
Threads	1319
Prozesse	118

Einschub: Dispatcher

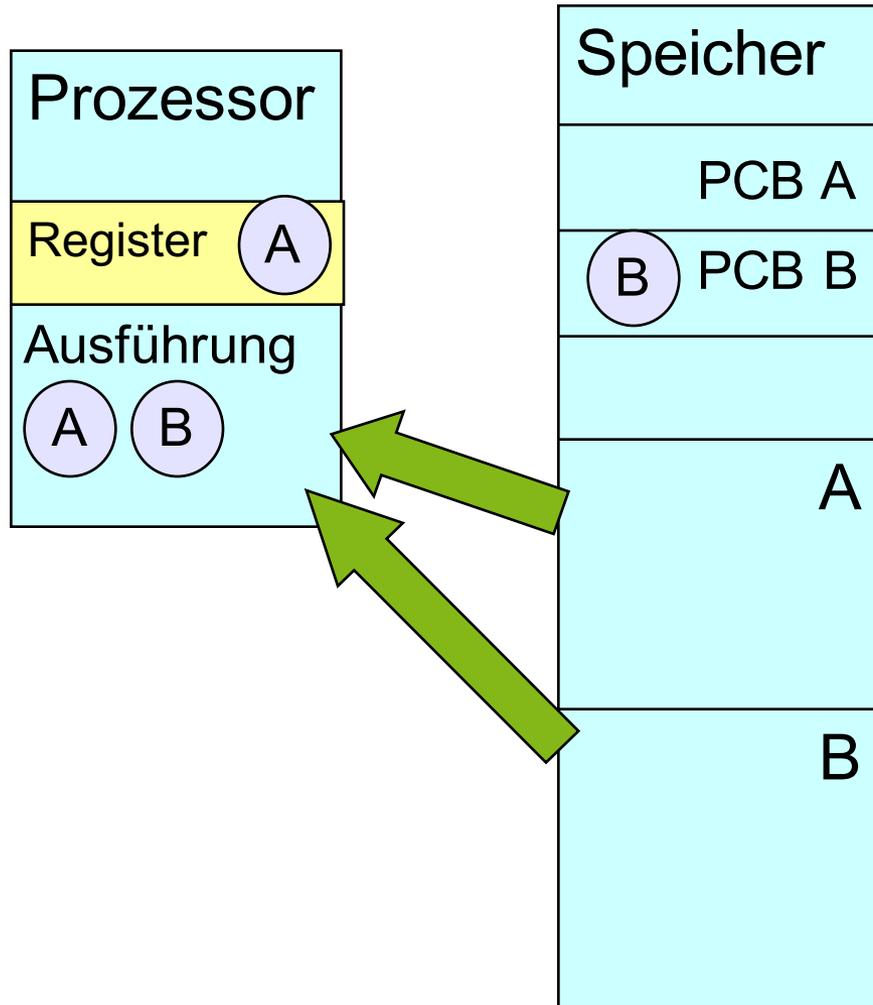
Prozessen bzw. *threads* wird durch einen ***dispatcher*** der Prozessor zugeteilt.

Dispatcher schaltet zwischen Ausführung um (***context switch***). Bei *context switch* werden alle Registerinhalte

- des anzuhaltenden Prozesses/*threads* in einen ihm zugeordneten Datenblock (***process control block, PCB***) gerettet &
- die des zu fortzuführenden Prozesses/*threads* aus seinem PCB geladen.

Prozessen wird suggeriert, der Prozessor gehöre ihnen allein (bis auf Zeitverhalten).

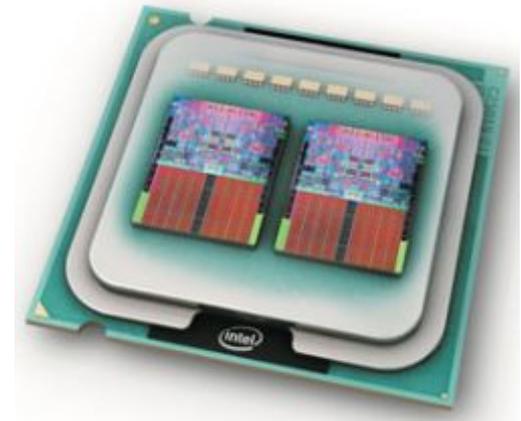
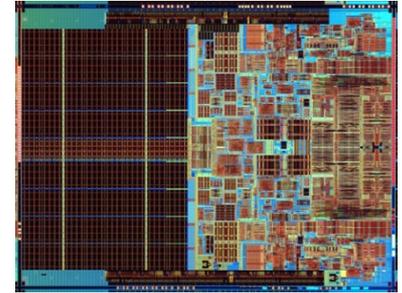
Einschub: Context switch



Einige Eigenschaften 2007 aktueller Prozessoren

Beispiel: Intel® Core™ 2 Extreme Quad-Core QX6000 (homogen):

- 4 Prozessoren auf einem Chip
- **Jeder Prozessor kann pro Takt bis zu 4 Befehle beenden**
- **Befehle können sich gegenseitig überholen** (*dynamic scheduling, out-of-order execution*)
- Sprungvorhersage
- 64-bit und 32-bit Operationen
- Bis zu 3 GHz ext. Takt
- Verlangt thermischen Entwurf für 130 W Leistungsaufnahme
- Stromaufnahme bis zu **125 A**
- Spannungsversorgung 0,85-1,6 V je nach Anforderung
- 775 Anschlüsse, davon ~2/3 für die Spannungsversorgung

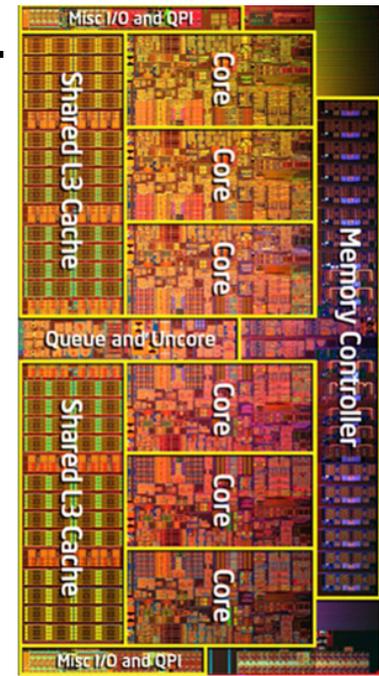


[www.intel.com]
[http://media.schotenland.de/pi/IntelCore2ExtremeQx6700.jpg]

Einige Eigenschaften 2011 aktueller Prozessoren

Beispiel: Intel® Core™ i7-980X Processor Extreme Edition:

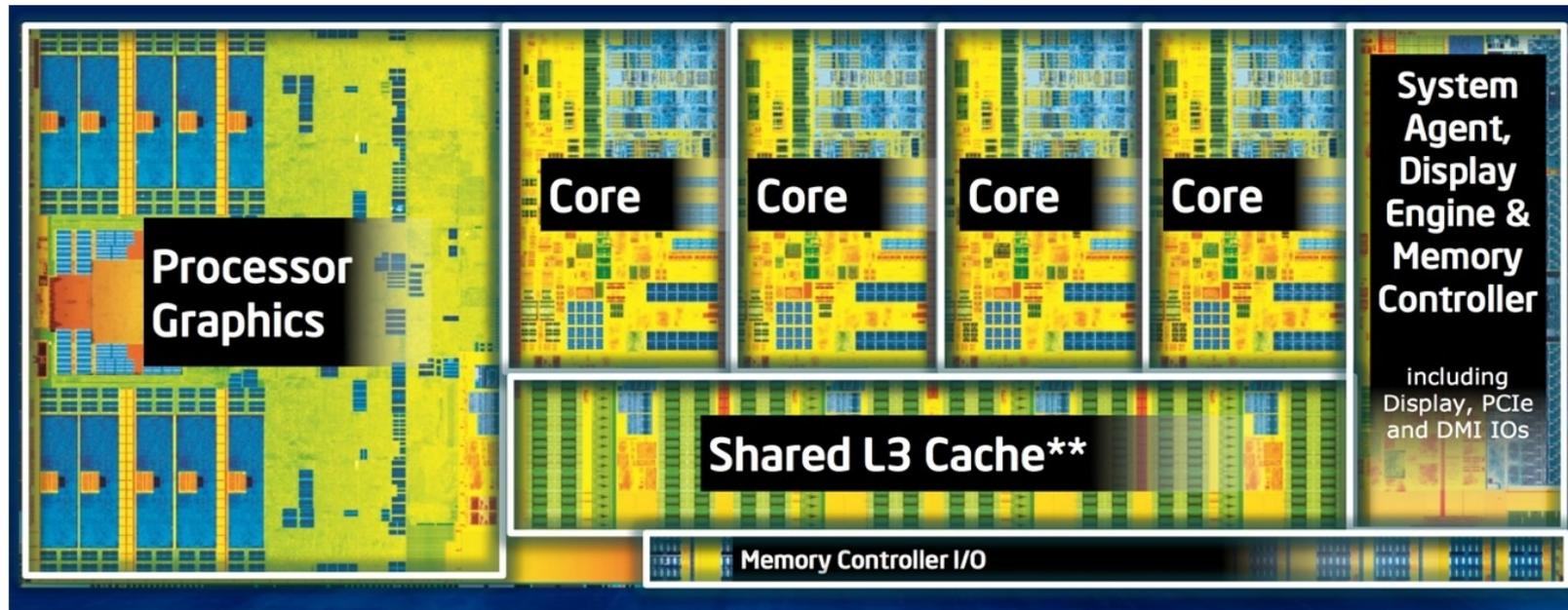
- 6 Prozessoren auf einem Chip (**homogen**)
- Hyperthreading: 2 **threads**/Prozessor überlapp.
- Befehle können sich gegenseitig überholen
- Fertigung im 32 nm Prozess
- $1,17 \times 10^9$ Transistoren
- 64-bit und 32-bit Operationen
- 3,33 GHz (Turbo 3,6 GHz) ext. Takt
- Maximale Leistungsaufnahme (TDP): 130 W
- Stromaufnahme bis zu **181,1 A**
- Spannungsversorgung 0,8-1,375 V je nach Anforderung
- 1366 Anschlüsse, incl. 435 für die Spannungsversorgung



Eigenschaften eines 2013 aktuellen Prozessors

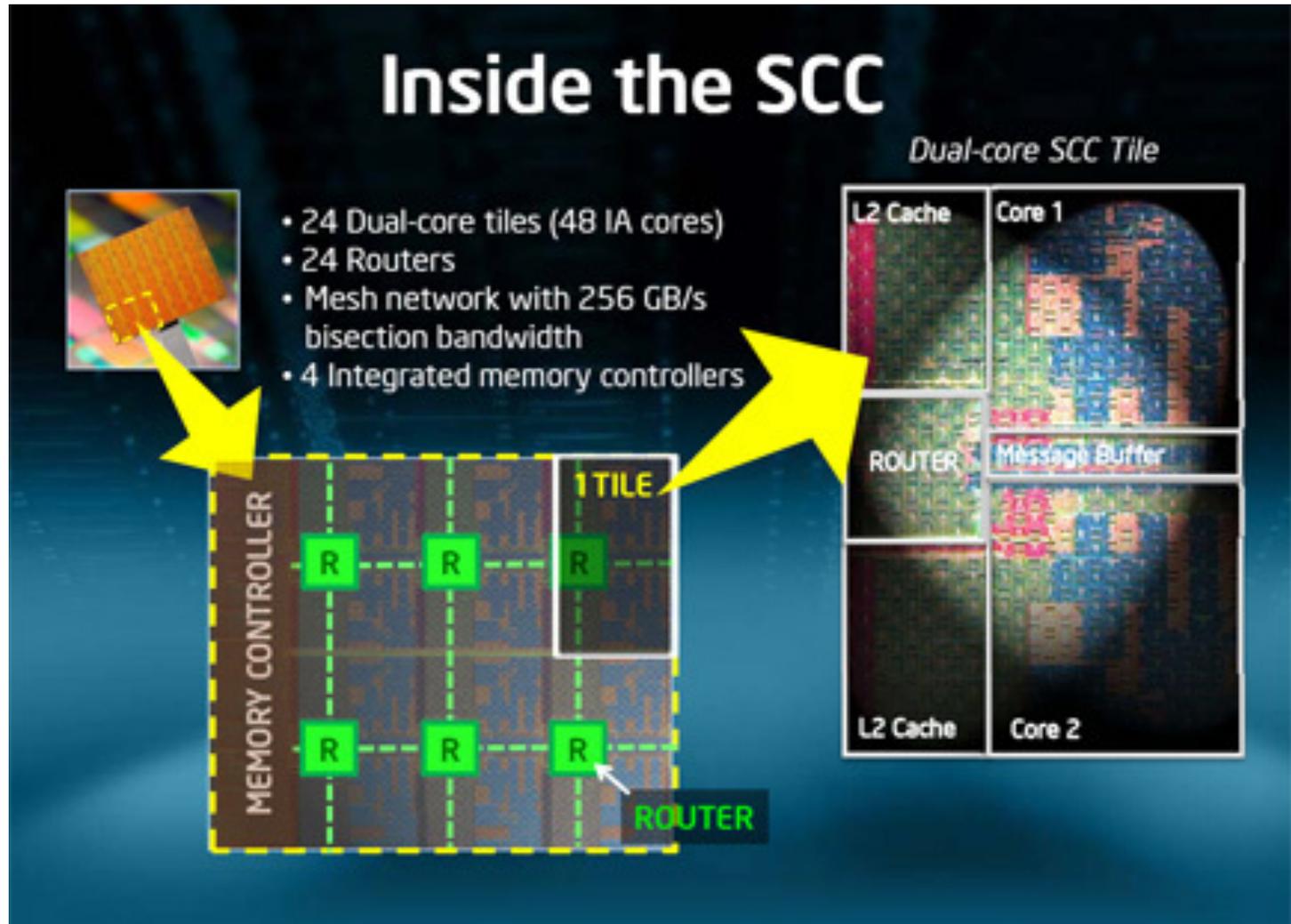
Beispiel: Intel® Core™ i7-4930MX Processor Extreme Edition:

- 4 Prozessoren auf einem Chip (**homogen**), 2 threads/Prozessor
- Befehle können sich gegenseitig überholen, $1,4 \times 10^9$ Transistoren
- Fertigung im **22** nm Prozess, 3 GHz (Turbo 3,9 GHz) ext. Takt
- Maximale Leistungsaufnahme (TDP): 84 W, Strom bis zu 95 A
- Integrierte Graphik (**tlw. heterogen**), 1150 Anschlüsse



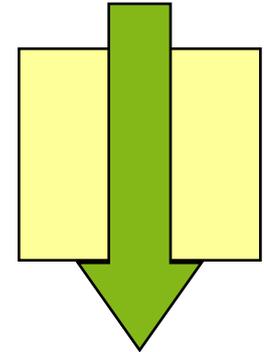
Experimentell: Intel *single chip cloud computer*

Experimentelle
(homogene)
Plattform
(2009)



Klassifikation von Multiprozessorsystemen nach Daten- und Befehlsströmen [Flynn]

		Befehlsströme	
		1	>1
Datenströme	1	SISD	MISD
	>1	SIMD	MIMD



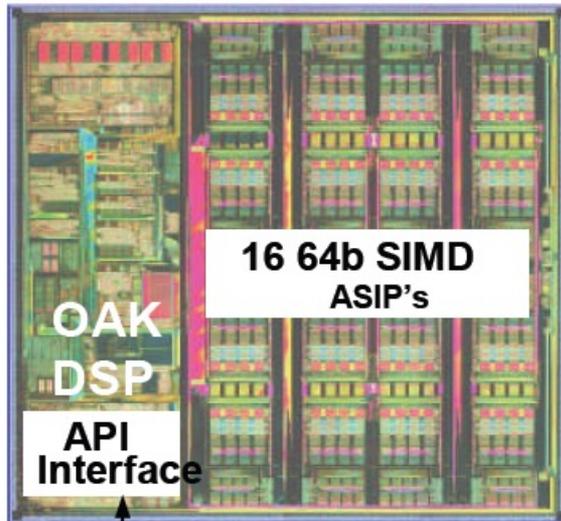
SISD	Bislang besprochene Einzelrechner
MIMD	Netze aus Einzelrechnern; sehr flexibel
SIMD	Ein Befehlsstrom für unterschiedliche Daten; identische Befehle bilden starke Einschränkung
MISD	Mehrere Befehle für ein Datum: Kann als Fließband von Befehlen auf demselben Datenstrom ausgelegt werden. Ist etwas künstlich.

Klassifikation hat nur begrenzte Aussagekraft; keine bessere vorhanden.

Multiprocessor Systems On A Chip (MPSoCs)

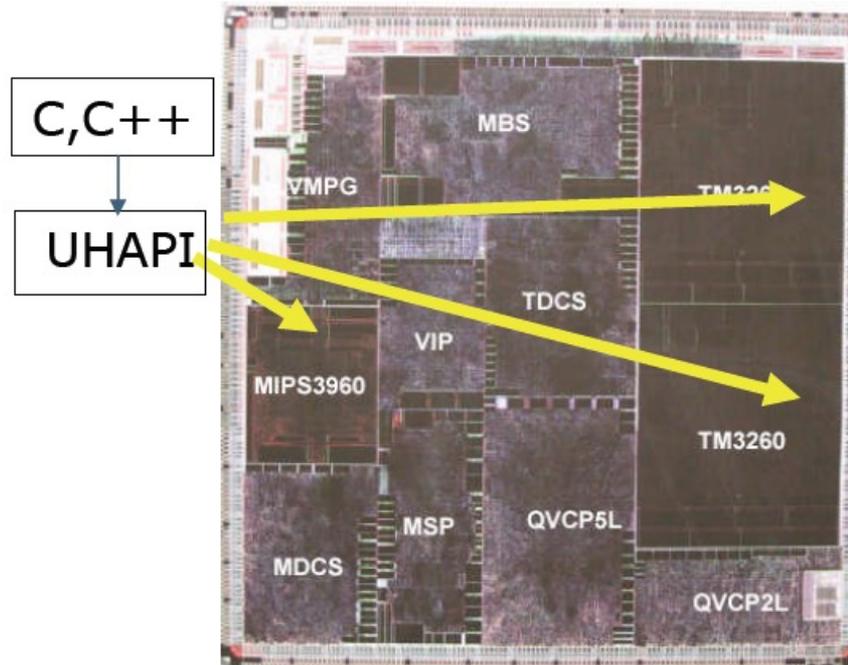
- Beispiele belegen Existenz effizienter **heterogener** Prozessoren -

VIP for car mirrors Infineon



200MHz , 0.76 Watt
100Gops @ 8b
25Gops @ 32b

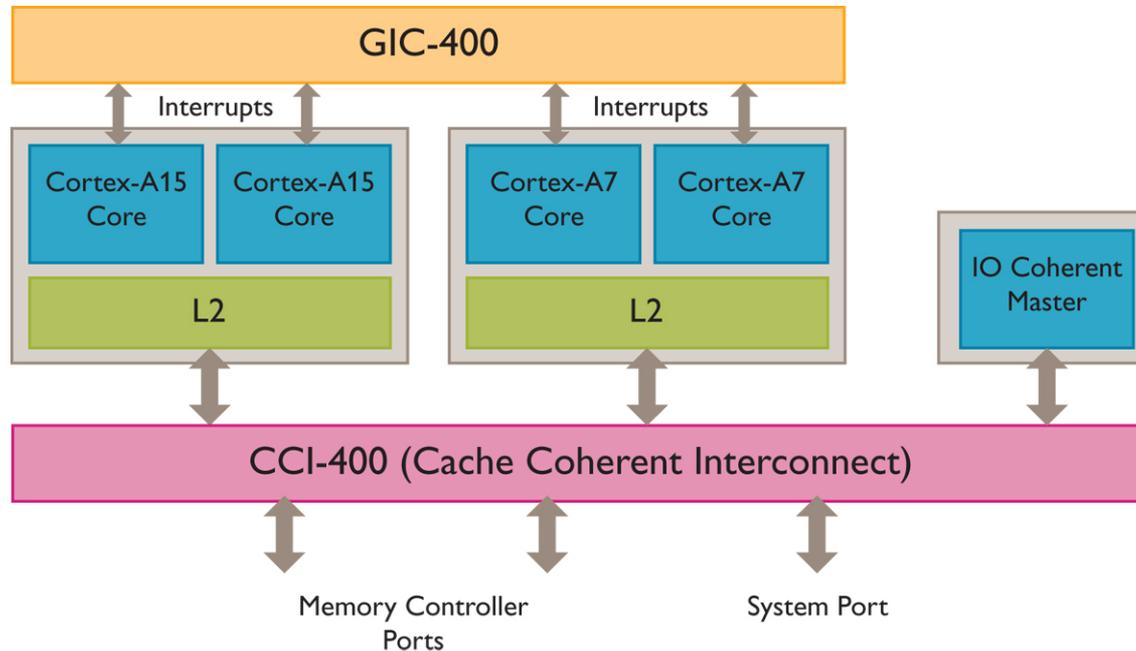
Nexperia Digital Video Platform NXP



1 MIPS, 2 Trimedia
60 coproc, 250 RAM's
266MHz, 1.5 watt 100 Gops

~ 1/2 IPE

Energieeffizientes Design mit (halb) **heterogenen** Prozessoren



„Halb Heterogen“:
Identischer
Befehlssatz (ISA),
aber optimiert für
Performance bzw.
Energieeffizienz

	Cortex-A15 vs Cortex-A7 Performance	Cortex-A7 vs Cortex-A15 Energy Efficiency
Dhrystone	1.9x	3.5x
FDCT	2.3x	3.8x
IMDCT	3.0x	3.0x
MemCopy L1	1.9x	2.3x
MemCopy L2	1.9x	3.4x

Unterschiede u.a. aufgrund unterschiedlicher Fließbänder

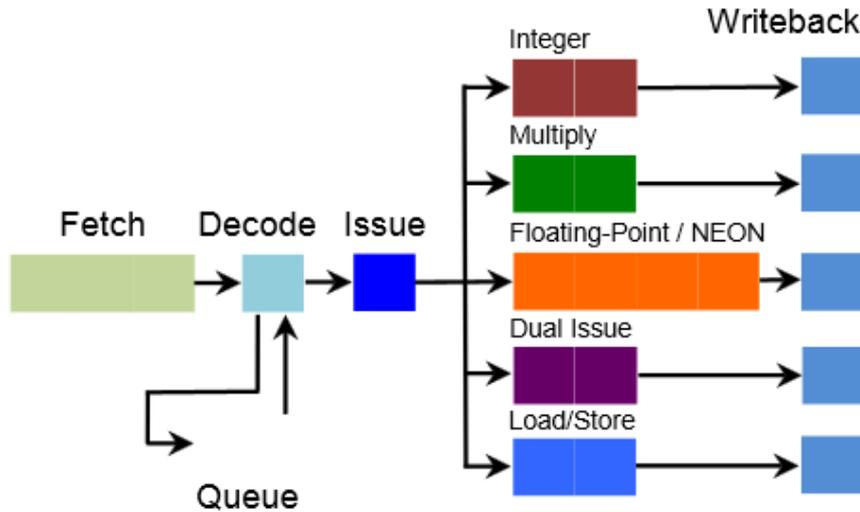


Figure 1 Cortex-A7 Pipeline

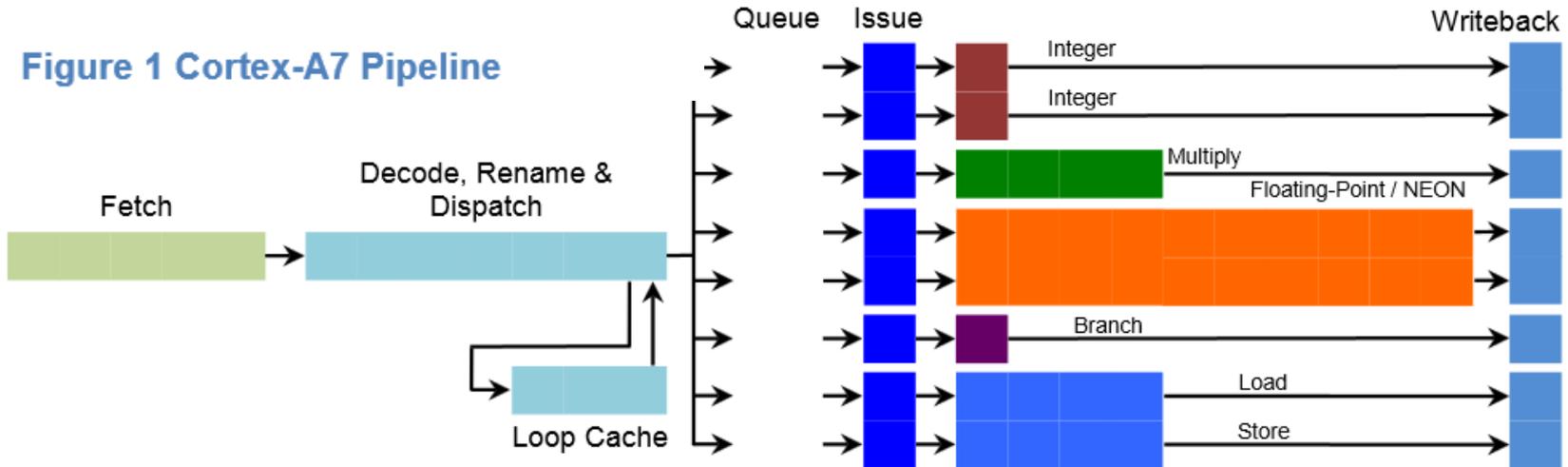


Figure 2 Cortex-A15 Pipeline

Anwendung: Samsung Exynos 5 Octa

- 4 Cortex A7 + 4 Cortex A15
- Eingebaut in manche Varianten des Samsung S 4



Videos: <http://de.engadget.com/2013/09/11/exynos-5-octa-lasst-seine-8-kerne-spielen-und-zeigt-uns-was-er/>

Homogen vs. heterogen

	homogen	ISA identisch, Implementierung verschieden	heterogen
Leichte Verlagerung von Prozessen	+	+	-
Fehlertoleranz per Verlagerung	+	+	-
Effizienz durch Optimierung für Anwendung	-	(+)	+
Software-Entwurfsaufwand	+	(+)	-
Prozessor-Entwurfsaufwand	+	±	-
		☺	

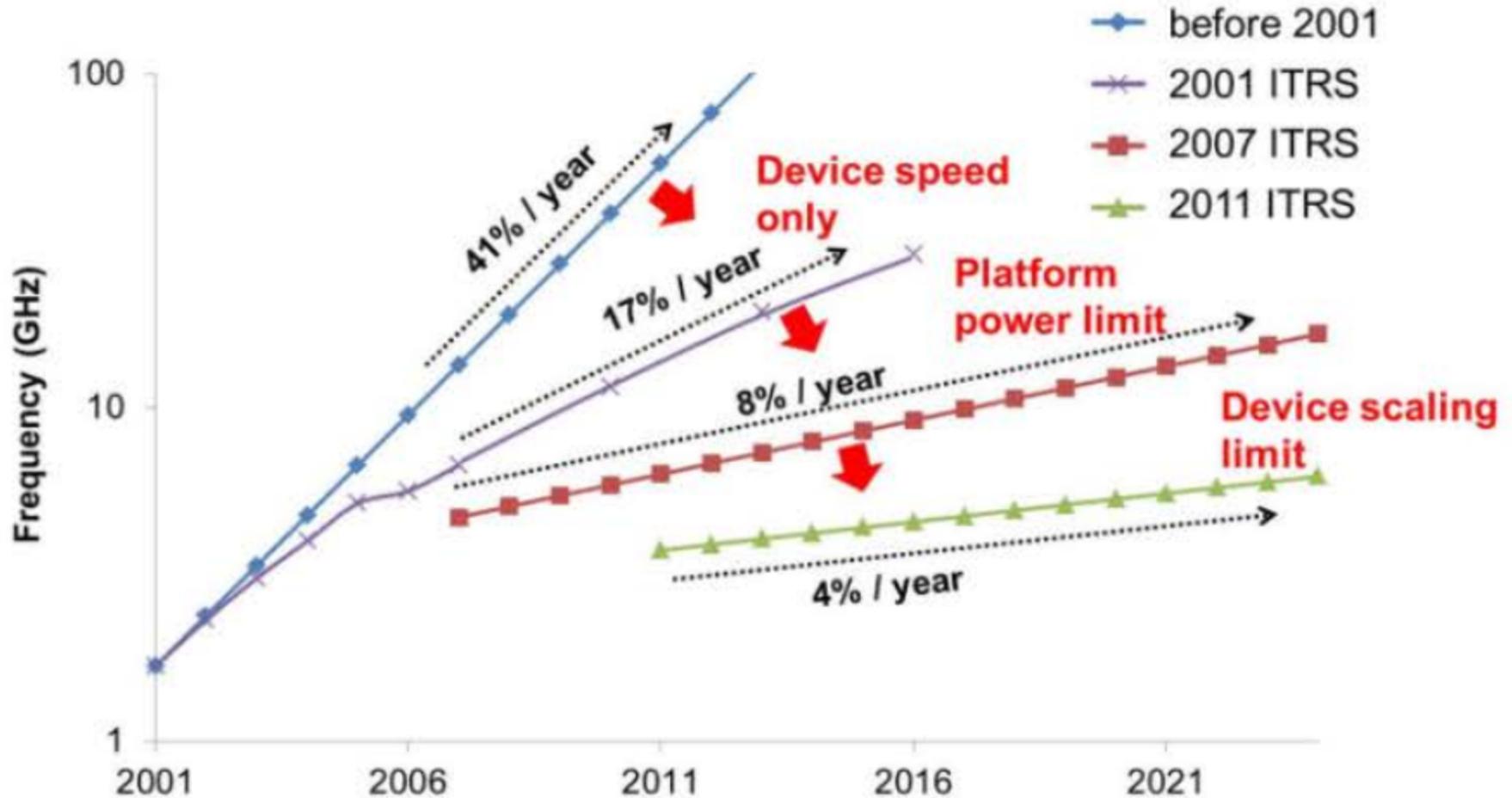
Multi-cores in der Großrechnerwelt

zEC12 Overview



- Machine Type
 - 2827
- 5 Models
 - H20, H43, H66, H89 and HA1
- Processor Units (PUs)
 - 27 (30 for HA1) PU cores per book
 - Up to 16 SAPs per system, standard
 - 2 spares designated per system
 - Dependent on the H/W model - up to 20, 43, 66, 89, 101 PU cores available for characterization
 - Central Processors (CPs), Internal Coupling Facility (ICFs), Integrated Facility for Linux (IFLs), System z Application Assist Processors (zAAPs), System z Integrated Information Processor (zIIP), optional - additional System Assist Processors (SAPs)
 - Sub-capacity available for up to 20 CPs
 - 3 sub-capacity points
- Memory
 - RAIM Memory design
 - System Minimum of 32 GB
 - Up to 768 GB per book
 - Up to 3 TB for System and up to 1 TB per LPAR
 - 32 GB Fixed HSA, standard
 - 32/64/96/112/128/240/256 GB increments
 - Flash Express
- I/O
 - 6 GBps I/O Interconnects – carry forward only
 - Up to 48 PCIe interconnects per System @ 8 GBps each
 - Up to 4 Logical Channel Subsystems (LCSSs)
 - Up to 3 Sub-channel sets per LCSS
- STP - optional (No ETR)

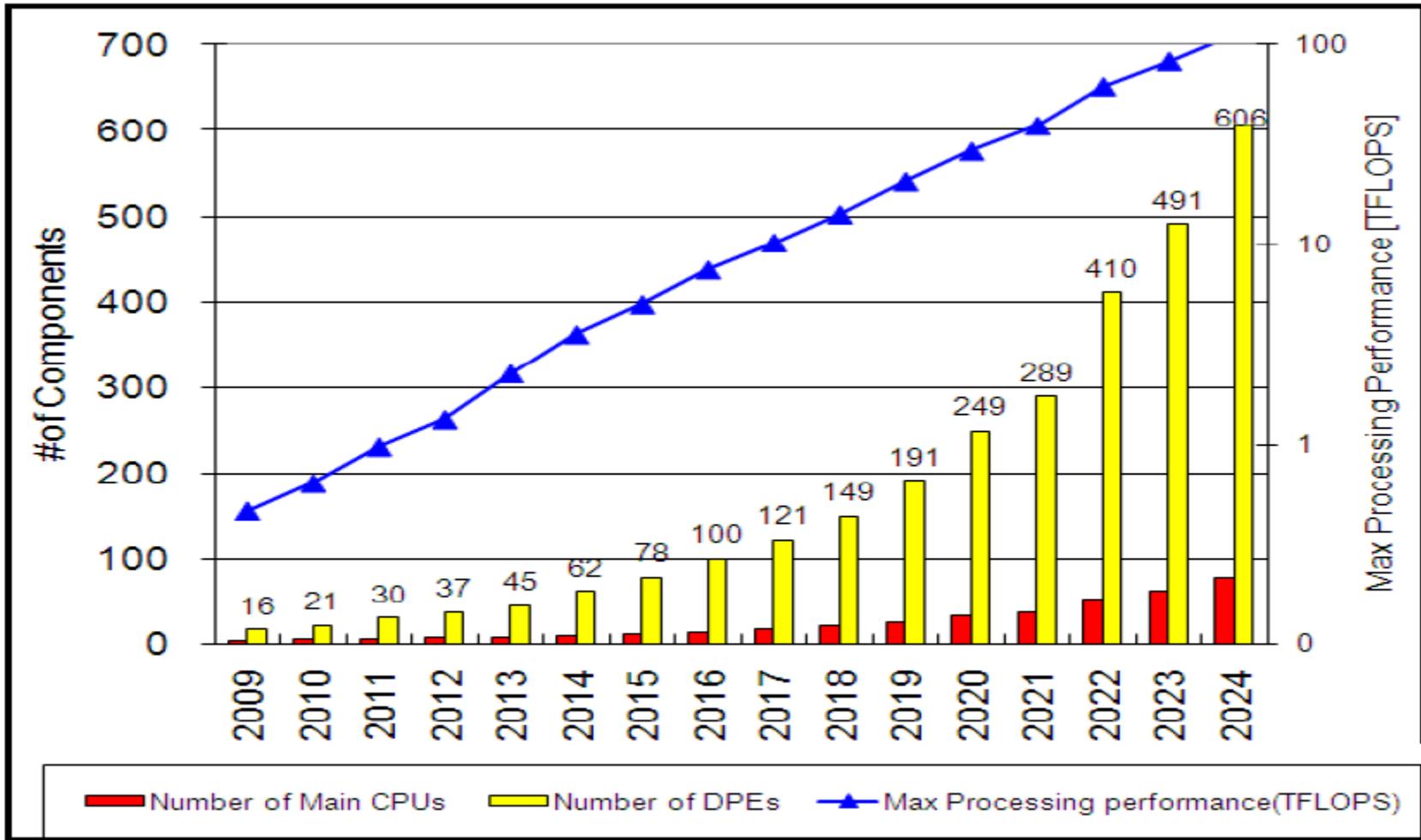
Korrektur der Vorhersagen der Taktraten



ITRS 2013

Anzahl der Komponenten stationärer Systeme

System Driver Chapter 2010 Updates

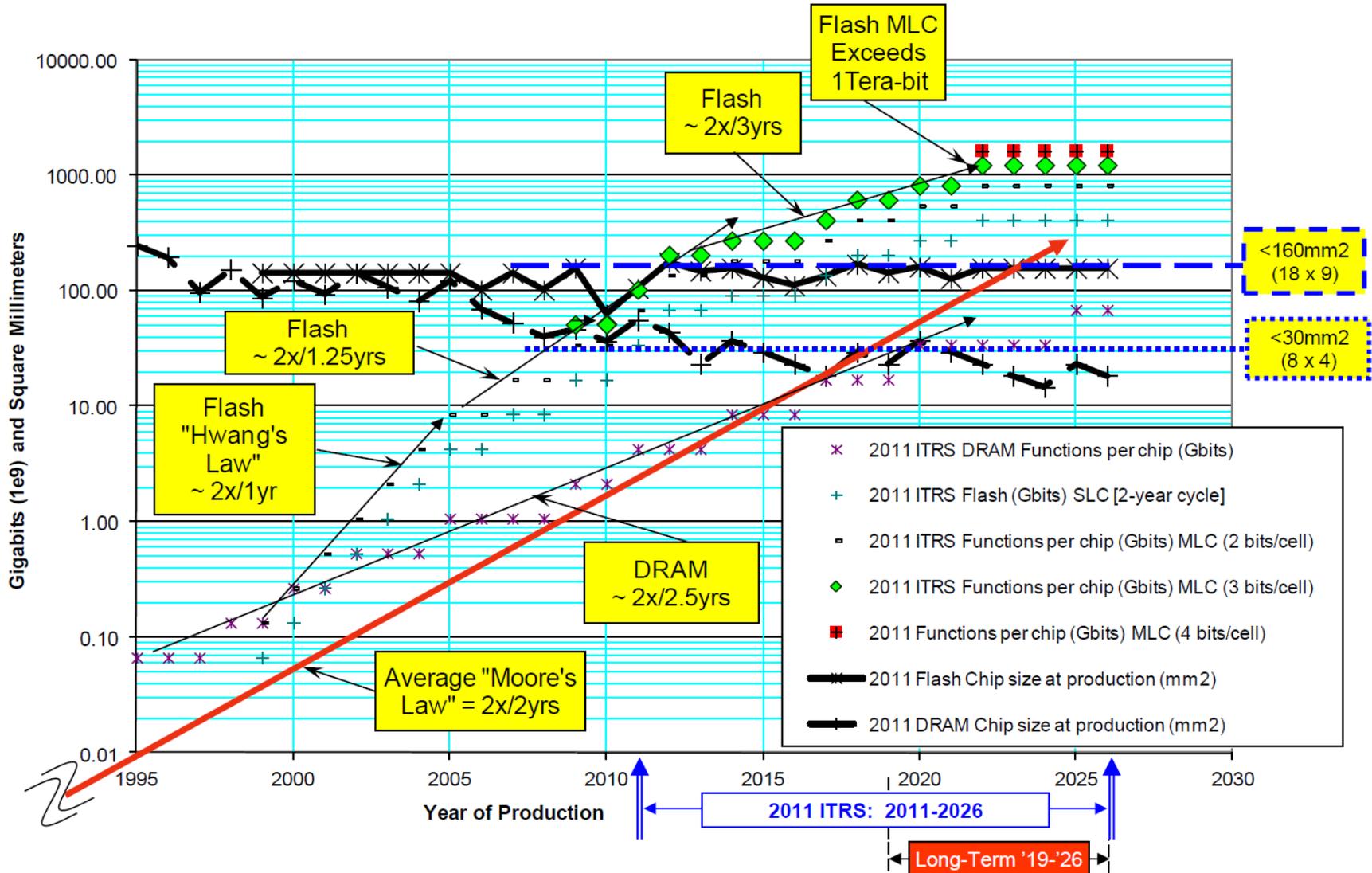


[ITRS Update 2010]

Figure SYSD9 SOC Consumer Stationary Design Complexity Trends—UPDATED

Vorhersage der Anzahl der Funktionen pro Chip

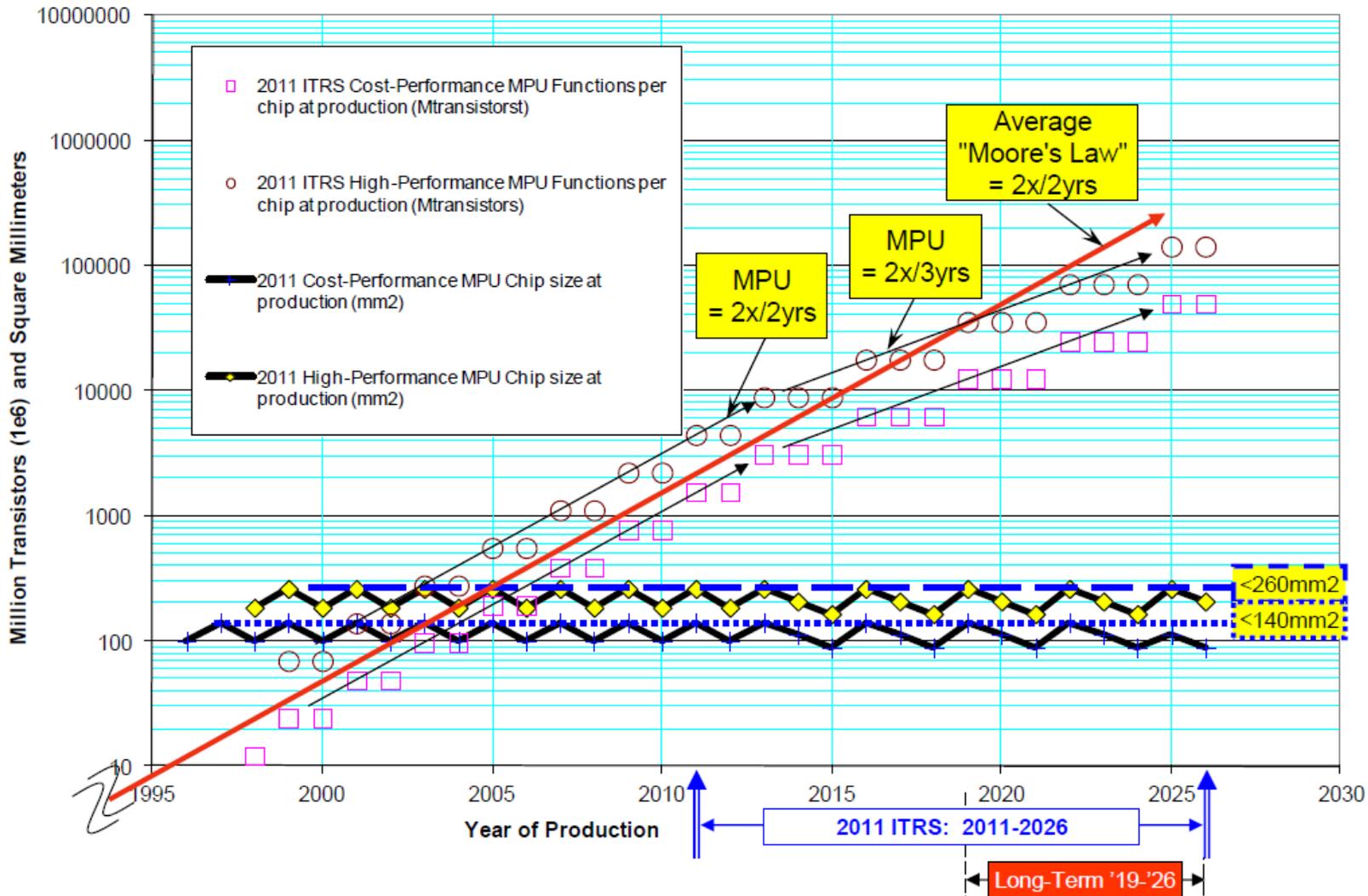
2011 ITRS - Functions/chip and Chip Size



[ITRS 2011]

Transistoren bei Prozessorchips

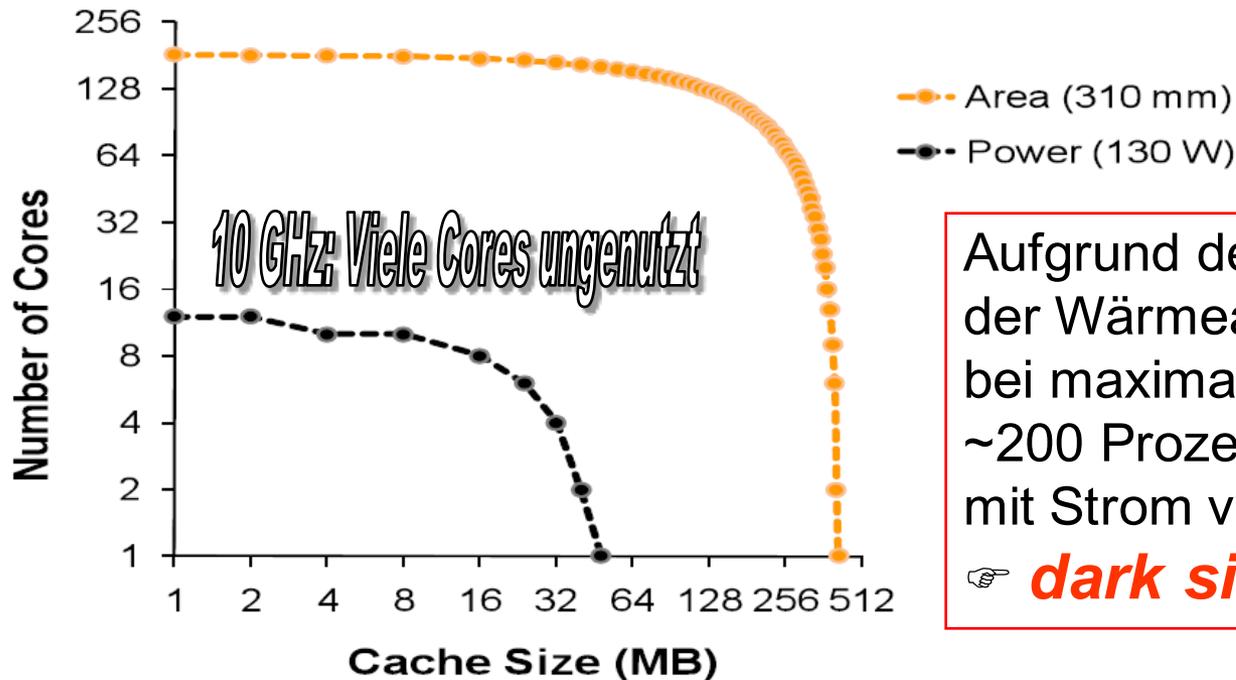
2011 ITRS - Functions/chip and Chip Size



[ITRS 2011]

Wie viele Cores werden es werden?

Area vs. Power Envelope (22nm)



Aufgrund der Probleme mit der Wärmeabfuhr kann man bei maximaler Taktrate von ~200 Prozessoren nur 10 mit Strom versorgen

☞ **dark silicon**

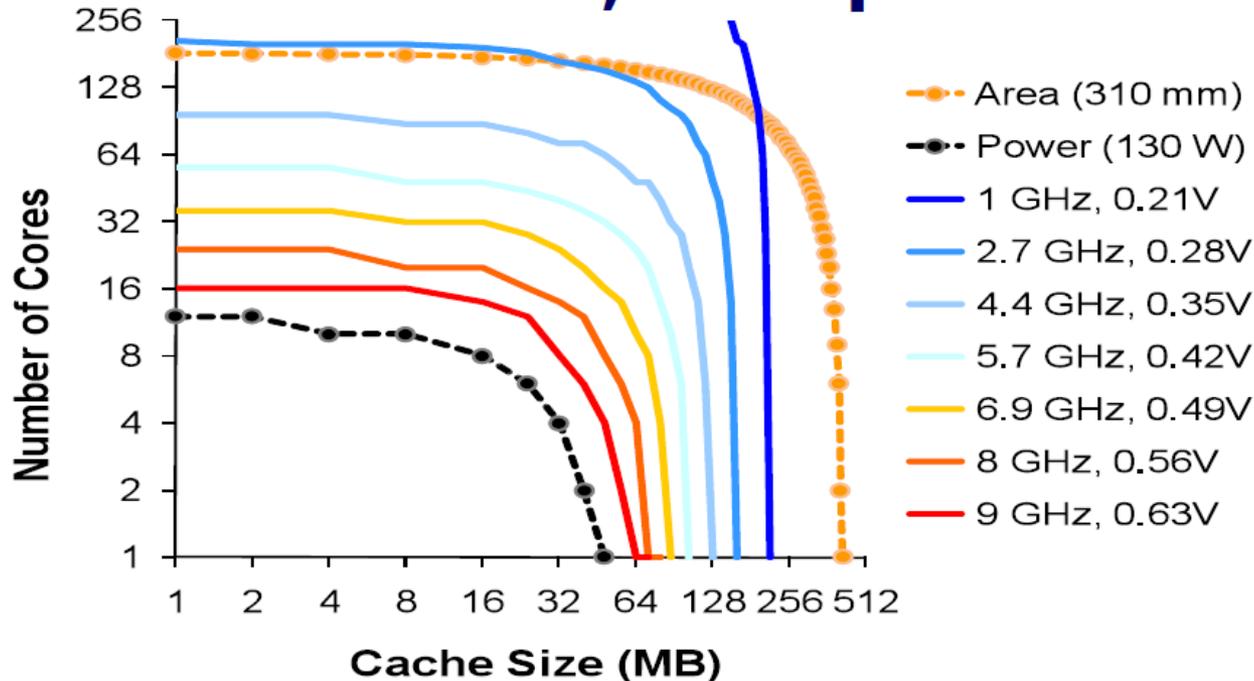
- ✓ Good news: can fit hundreds of cores
- ✗ Can not use them all at highest speed

Niedrigere Spannung, langsamerer Takt?



Of course one could pack more slower cores, cheaper cache

2



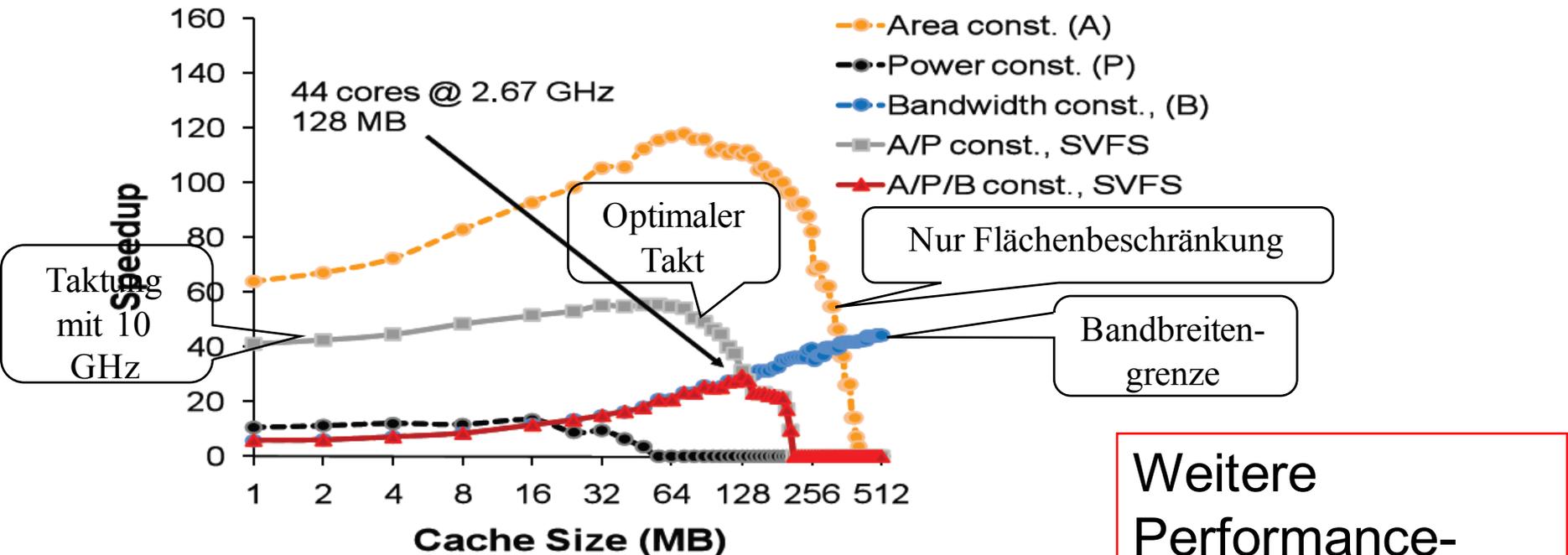
Sieht im ersten Moment besser aus

- Result: a performance/power trade-off
- Assuming bandwidth is unlimited

© 2010 Babak Falsafi

Bestes Ergebnis bei 44 Cores

Peak Performing with Conventional Memory

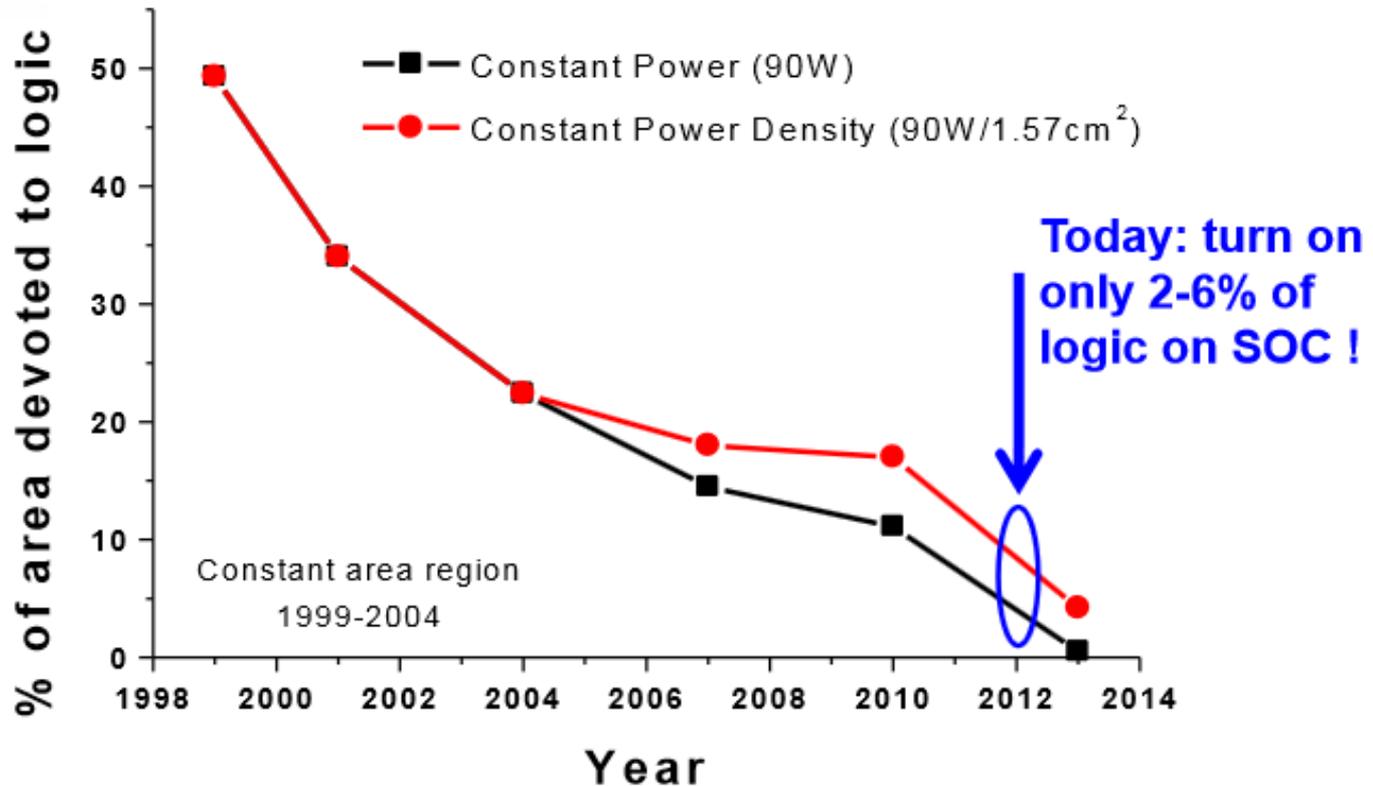


- B/W constrained, then power constrained
- Fewer slower cores, lots of cache

Weitere Performancesteigerungen bleiben begrenzt

“Dark Silicon” Analysis in 2001 ITRS

- Power management gap \Rightarrow amount of (switched) logic content in an SOC goes to zero
- **Challenge: keeping the chip value above zero**



ITRS Design ITWG 2012

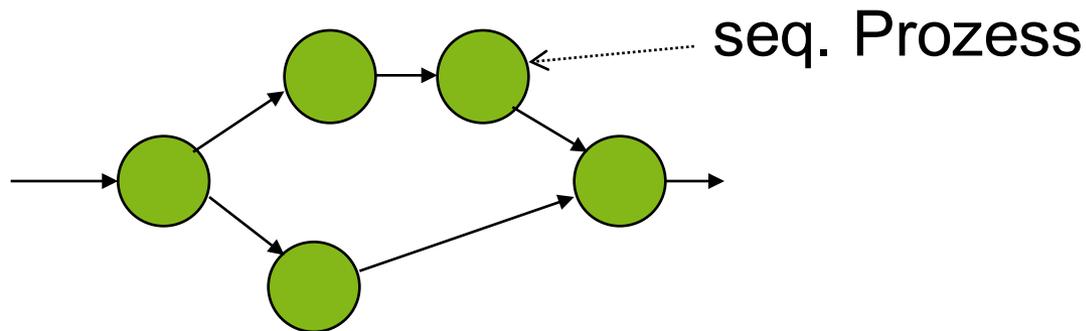
9

Programmierung von Mehrprozessor-Systemen

- Übliche imperative Sprachen (C, C++, Java, ...):
Abstraktion der seq. Ausführung in von-Neumann
Maschine.
 - ☞ → für Programmierung von ≥ 1 Maschinen konzipiert.
 - ☞ Existierende Anwendungen → für Programmierung von
parallelen Maschinen konzipiert.
- Kann man aus existierenden Anwendungen automatisch
Parallelität extrahieren?
 - Auf der Basis riesigen Aufwandes begrenzte Erfolge
im „*high performance computing*“
(HPC; Simulationen in Physik, Chemie usw.)
 - Für allgemeine Anwendung weitgehend ein Fehlschlag

Lösungsansätze

- Alternative Berechnungsmodelle
 - Funktionale Sprachen
 - Datenflusssprachen
 - Signalflussgraphen
 - Task-Graphen als Anwendungsmodellierung

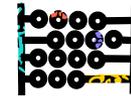


Bislang keine allgemein nutzbare Lösung,
Prozessorhersteller setzen große Summen auf MP-Technologie

Zusammenfassung



- Skalieren der Taktrate wg. des Energieverbrauchs begrenzt
- Skalieren der Perfomanz v.a. über mehr Kerne (**multi-cores**)
- Energieverbrauch ↓  teilweise **heterogene** Multi-Cores
- Unklare Situation hinsichtlich der Richtung
 - Geeignetes Berechnungsmodell?
 - Geeignete Architekturen?
 - Geeignete Sprachen?



 Mögliches Ende des „Paradieses“, in dem immer komplexere Softwarearchitekturen durch immer leistungsfähigere Hardware möglich werden.

